

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-007971

(43)Date of publication of application : 10.01.2003

(51)Int.Cl.

H01L 25/10  
H01L 25/11  
H01L 25/18

(21)Application number : 2001-191979

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 25.06.2001

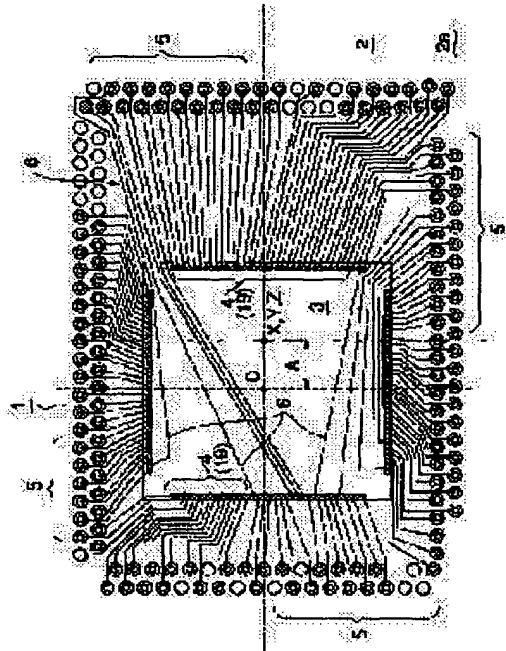
(72)Inventor : TAKUBO TOMOAKI  
YAMAZAKI TAKASHI  
ENDO MITSUYOSHI  
OYAMA KATSUHIKO  
IMOTO TAKASHI  
MATSUI MIKIO

## (54) SEMICONDUCTOR DEVICE

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a semiconductor device in which the outer shape size of a package can be made compact irrespective of the kind of a semiconductor chip to be mounted.

**SOLUTION:** Each central part X in three chip mounting substrates 2 to be laminated in three layers, each central part Y in the whole arrangement of a plurality of intermediary terminals 5 installed on a first main face 2a on which the semiconductor chip 3 is mounted on the respective substrates 2 so as to surround its chip mounting position to be adjacent from its outer side, and each central part Z in the whole package of the semiconductor device 1, are made to agree. The chip 3 is mounted by using a flip-chip method or the like in an offset position in which the central part C of the chip 3 is decentered by a prescribed distance A to a prescribed direction from the respective central parts X, Y, Z, in order to enhance the flexibility of routing chip connecting interconnections 6 used to electrically connect a plurality of pads 19 which are installed in the chip mounting position on the main face 2a, and which are electrically connected to respective terminals 4 of the chip 3 to the plurality of intermediary terminals 5 electrically connected to the respective pads 19.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号  
特開2003-7971  
(P2003-7971A)

(43)公開日 平成15年 1月10日 (2003.1.10)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 25/10		H 0 1 L 25/14	Z
25/11			
25/18			

審査請求 未請求 請求項の数20 O L (全 23 頁)

(21)出願番号 特願2001-191979(P2001-191979)

(22)出願日 平成13年 6月25日 (2001. 6. 25)

(71)出願人 000003078

株式会社東芝

東京都港区芝浦一丁目 1 番 1 号

(72)発明者 田窪 知章

神奈川県川崎市幸区小向東芝町 1 番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内

(74)代理人 100058479

弁理士 鈴江 武彦 (外 6 名)

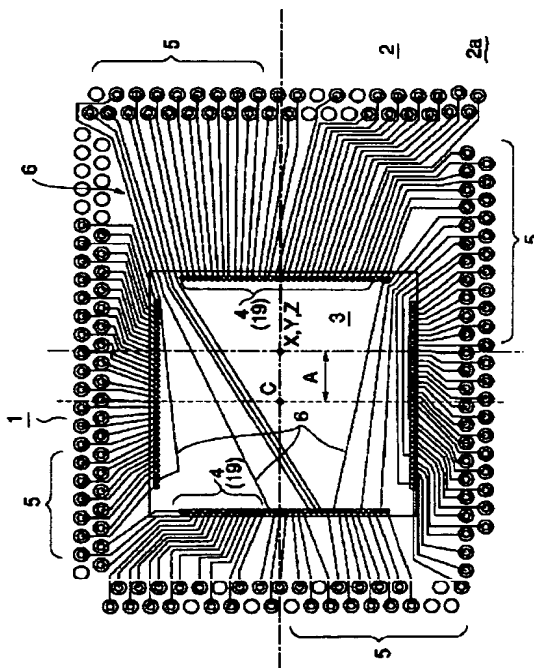
最終頁に続く

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】搭載される半導体チップの種類に拘らず、パッケージングの外形サイズをコンパクト化できる半導体装置を提供する。

【解決手段】3層に積層される3枚のチップ搭載基板2の各中心部X、各基板2の半導体チップ3が搭載される第1主面2aに、チップ搭載位置をその外側から近接して囲むように設けられている複数個の中継端子5の全体の配置の中心部Y、および半導体装置1のパッケージング全体の中心部Zを一致させる。主面2aのチップ搭載位置に設けられてチップ3の各端子4に電氣的に接続される複数個のパッド19と、各パッド19に電氣的に接続される複数個の中継端子5とを電氣的に接続するチップ接続配線6の引き回しの自由度が向上するように、チップ3の中心部Cが各中心部X、Y、Zから所定の向きに所定の距離A偏心されたオフセット位置に、チップ3をフリップ・チップ法などを用いて搭載する。



1

## 【特許請求の範囲】

【請求項 1】複数個の端子を有する半導体チップと、この半導体チップが少なくとも 1 個ずつ搭載されるとともに、搭載された前記半導体チップの各端子に電気的に接続される中継端子が、前記半導体チップが搭載される部分をその外側から近接して囲むように複数個設けられており、かつ、厚さ方向に沿って 2 層以上に積層される複数枚のチップ搭載基板と、

を具備し、前記複数枚のチップ搭載基板のうちの少なくとも 1 枚のチップ搭載基板について、このチップ搭載基板に搭載される前記半導体チップは、その中心部を、前記各中継端子の全体の配置の中心部から偏心されて前記チップ搭載基板に搭載されることを特徴とする半導体装置。

【請求項 2】複数個の端子を有する半導体チップと、この半導体チップが少なくとも 1 個ずつ搭載されるとともに、搭載された前記半導体チップの各端子に電気的に接続される中継端子が、前記半導体チップが搭載される部分をその外側から近接して囲むように複数個設けられており、かつ、厚さ方向に沿って 2 層以上に積層される複数枚のチップ搭載基板と、

を具備し、前記複数枚のチップ搭載基板のうちの、少なくとも所定の 2 層に配置されているチップ搭載基板について、これら各チップ搭載基板に搭載される前記半導体チップは、その中心部を、互いに偏心されて前記各チップ搭載基板に搭載されることを特徴とする半導体装置。

【請求項 3】前記複数枚のチップ搭載基板のうちの少なくとも所定の 2 層に配置されている前記搭載基板は、それぞれの前記各中継端子の全体の配置の中心部が互いに略一致していることを特徴とする請求項 1 または 2 に記載の半導体装置。

【請求項 4】前記複数枚のチップ搭載基板に設けられている前記各中継端子は、それら全体の配置の中心部が、各チップ搭載基板の中心部に略一致するように設けられていることを特徴とする請求項 1～3 のうちのいずれか 1 項に記載の半導体装置。

【請求項 5】前記複数枚のチップ搭載基板のうちの少なくとも 1 枚のチップ搭載基板について、その中心部を前記各中継端子の全体の配置の中心部から偏心されて前記チップ搭載基板に搭載された前記半導体チップは、その側縁部を、この半導体チップが搭載されている前記チップ搭載基板に設けられている前記各中継端子の全体の配置のうち、前記半導体チップの前記側縁部と対向する配列に対して、互いに平行な状態から所定の角度回転されて前記チップ搭載基板に搭載されることを特徴とする請求項 1～4 のうちのいずれか 1 項に記載の半導体装置。

【請求項 6】複数個の端子を有する半導体チップと、この半導体チップが少なくとも 1 個ずつ搭載されるとともに、搭載された前記半導体チップの各端子に電気的に接続される中継端子が、前記半導体チップが搭載される部

2

分をその外側から近接して囲むように複数個設けられており、かつ、厚さ方向に沿って 2 層以上に積層される複数枚のチップ搭載基板と、

を具備し、前記複数枚のチップ搭載基板のうちの少なくとも 1 枚のチップ搭載基板について、このチップ搭載基板に搭載される前記半導体チップは、その側縁部を、前記各中継端子の全体の配置のうち、この半導体チップの前記側縁部と対向する配列に対して、互いに平行な状態から所定の角度回転されて前記チップ搭載基板に搭載されることを特徴とする半導体装置。

【請求項 7】複数個の端子を有する半導体チップと、この半導体チップが少なくとも 1 個ずつ搭載されるとともに、搭載された前記半導体チップの各端子に電気的に接続される中継端子が、前記半導体チップが搭載される部分をその外側から近接して囲むように複数個設けられており、かつ、厚さ方向に沿って 2 層以上に積層される複数枚のチップ搭載基板と、

を具備し、前記複数枚のチップ搭載基板のうちの、少なくとも所定の 2 層に配置されているチップ搭載基板について、これら各チップ搭載基板に搭載される前記半導体チップは、その側縁部を、互いに平行な状態から所定の角度回転されて前記各チップ搭載基板に搭載されることを特徴とする半導体装置。

【請求項 8】前記複数枚のチップ搭載基板のうちの少なくとも所定の 2 層に配置されている前記チップ搭載基板は、それぞれの前記各中継端子の全体の配置について対応する配列が互いに平行な状態にあることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】前記複数枚のチップ搭載基板に設けられている前記各中継端子は、それら全体の配置の中心部が、各チップ搭載基板の中心部に略一致するように設けられていることを特徴とする請求項 5～7 のうちのいずれか 1 項に記載の半導体装置。

【請求項 10】前記複数枚のチップ搭載基板に搭載された半導体チップのうち、少なくとも、その中心部を前記各中継端子の全体の配置の中心部から偏心されて前記チップ搭載基板に搭載されている半導体チップは、その周囲に、所定の材料から形成されているパッケージング部材が、その半導体チップが配置されている層内で、その半導体チップに対して互いに対称となるように、少なくとも一対設けられることを特徴とする請求項 1～5 のうちのいずれか 1 項に記載の半導体装置。

【請求項 11】前記複数枚のチップ搭載基板に搭載された半導体チップのうち、少なくとも、その側縁部を、前記各中継端子の全体の配置のうち、前記半導体チップの前記側縁部と対向する配列に対して、互いに平行な状態から所定の角度回転されて前記チップ搭載基板に搭載されている半導体チップは、その周囲に、所定の材料から形成されているパッケージング部材が、その半導体チップが配置されている層内で、その半導体チップに対して

3

互いに対称となるように、少なくとも一対設けられることを特徴とする請求項 5～9 のうちのいずれか 1 項に記載の半導体装置。

【請求項 12】半導体チップと、

この半導体チップが少なくとも 1 個ずつ搭載されるとともに、厚さ方向に沿って 1 層ないし 3 層に積層される 1 枚ないし複数枚のチップ搭載基板と、  
各層の前記チップ搭載基板に搭載される前記半導体チップのうち、少なくとも 1 層のチップ搭載基板に搭載されている半導体チップの周囲に、所定の材料から形成され 10  
るとともに、その半導体チップが配置されている層内で、その半導体チップに対して互いに対称となるように設けられる少なくとも一対のパッケージング部材と、  
を具備することを特徴とする半導体装置。

【請求項 13】前記パッケージング部材は、その対が互いに同じ種類の材料によって形成されていることを特徴とする請求項 10～12 のうちのいずれか 1 項に記載の半導体装置。

【請求項 14】前記パッケージング部材は、各対ごとに、それぞれ異なる種類の材料によって形成された複数 20  
対を有することを特徴とする請求項 10～13 のうちのいずれか 1 項に記載の半導体装置。

【請求項 15】前記パッケージング部材は、前記半導体チップに対して互いに対称となるように、それぞれ異なる位置に複数対設けられるとともに、これら複数対の前記パッケージング部材のうち、所定の前記パッケージング部材の対同士が互いに同じ種類の材料によって形成されていることを特徴とする請求項 10～14 のうちのいずれか 1 項に記載の半導体装置。

【請求項 16】前記パッケージング部材は、有機材料から形成されていることを特徴とする請求項 7 または 10  
～15 のうちのいずれか 1 項に記載の半導体装置。

【請求項 17】半導体チップと、

この半導体チップが少なくとも 1 個ずつ搭載されるとともに、厚さ方向に沿って 1 層ないし複数層に積層される 1 枚ないし複数枚のチップ搭載基板と、  
各層の前記チップ搭載基板に搭載される前記半導体チップのうち、少なくとも 1 層のチップ搭載基板に搭載されている半導体チップの周囲に、所定の材料から形成され 40  
るとともに、その半導体チップが配置されている層内で、その半導体チップに対して互いに対称となるように設けられる少なくとも三対のパッケージング部材と、  
を具備することを特徴とする半導体装置。

【請求項 18】前記パッケージング部材は、その対が互いに同じ種類の材料によって形成されていることを特徴とする請求項 17 に記載の半導体装置。

【請求項 19】前記パッケージング部材は、各対ごとに、それぞれ異なる種類の材料によって形成された複数 50  
対を有することを特徴とする請求項 18 に記載の半導体装置。

4

【請求項 20】前記パッケージング部材は、有機材料から形成されていることを特徴とする請求項 17～19 のうちのいずれか 1 項に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の内部構造に関し、特に、半導体チップが複数層に積層された積層型のモジュールにおける半導体チップと基板、およびその周辺の構造に関する。

【0002】

【従来の技術】半導体装置の中には、半導体チップとして例えばメモリ・チップが複数個積層されて構成されたメモリ積層製品（積層型モジュール、積層型デバイス）がある。一般に、このメモリ積層製品のように、全く同じ半導体チップを積層する場合、各半導体チップを他の半導体チップなどに接続するための外部接続端子は、各層において殆ど全て同じ位置に配置されている。したがって、各半導体チップの各層間における電気的な接続については、各層間で略同じ配線構成とすることができ ため、その配線の引き回しに問題が生じることは少ない。

【0003】近年、半導体装置はその外形サイズをコンパクト化する要請が高まってきている。このため、一般の半導体装置の製造工程においては、図 7 に示すように、半導体装置としての積層型デバイス 101 が具備している半導体チップ（半導体素子）103 の中心 C が、この半導体チップ 103 が搭載されるチップ搭載基板（実装基板）102 の中心 X に一致するように、半導体チップ 103 をチップ搭載基板 102 に搭載（実装）する必要があった。ひいては、これら半導体チップ 103 の中心 C およびチップ搭載基板 102 の中心 X が、実質的に積層型デバイス 101 全体のパッケージの中心 Z に一致するように、半導体チップ 103 が搭載されたチップ搭載基板 102 を配置して積層する必要があった。

【0004】また、最近の半導体チップは、これに設けることができる端子（電極）の数が多くなるように設計および製造されている。例えば、半導体チップ 103 は、図 7 に示すように、その平面視が略正形状となるように形成されている。それとともに、半導体チップ 103 には、その一端面である主面上において、各縁部のそれぞれに、端子 104 が複数個ずつ互いに密集して並べられて設けられている。このようなタイプの半導体チップ 103 が搭載されるチップ搭載基板 102 には、各端子 104 に個別に電気的に接続される中継端子としてのヴィア端子 105 が複数個、半導体チップ 103 が搭載される部分をその外側から近接して囲むように互いに密集して、略四角枠形状に配置されて設けられている。また、チップ搭載基板 102 の半導体チップ 103 が搭載される部分には、各端子 104 に個別に電気的に接続されるパッド 107 が複数個、各端子 104 に 1 対 1 で

5

対応するように配置されて設けられている。これら各パッド107と前記各ビア端子105とは、予め1対1で各配線106によって電氣的に接続されている。これらの各配線106は、予め決められている所定の配線ルール（設計ルール）にのっとりて配線されている。

【0005】半導体チップ103は、前述したように、その中心Cがチップ搭載基板102の中心Xに一致するようにチップ搭載基板102に搭載される。それとともに、半導体チップ103は、図7に示すように、その各縁部が略四角枠形状に配置されたビア端子105の配列の各枠縁部に対して略平行となるようにチップ搭載基板102に搭載される。この際、半導体チップ103は、例えばフリップ・チップ法などによってチップ搭載基板102に搭載される。これにより、チップ搭載基板102に搭載された半導体チップ103の各端子104は、それらが設けられている各縁部と対向するように配列されている各ビア端子105に、前記各パッド107および前記各配線106を介して、1対1で電氣的に接続される。

【0006】

【発明が解決しようとする課題】前述した積層型デバイスの中には、各層ごとに異なる種類の半導体チップ（デバイス）103が混在されて構成されている複合型の積層型モジュール（ブロックモジュール）101がある。一般に、半導体チップ103は、その外形や、端子104の個数および配設位置などが種類ごとに異なっている。同様に、チップ搭載基板102も、その外形などが、これに搭載される半導体チップ103の種類などに応じて異なっている。このような半導体チップ103およびチップ搭載基板102などから構成されている複合型の積層型モジュール101においては、各半導体チップ103を各層間で電氣的に接続する場合、前述した各配線106以外に、それらとは別の図示しない層間接続用配線を引き回す（施す）必要が生じる。

【0007】前述したように、各ビア端子105は、半導体チップ103が搭載される部分をその外側から近接して囲むように互いに密集して、略四角枠形状に配置されて設けられている。それとともに、各ビア端子105の殆どは、前記各配線106の長さが短くなるように、それら各ビア端子105と略対向する位置の各パッド107と既に配線済みである。したがって、各層ごとに種類の異なる各半導体チップ103の間を単純に最短距離で配線することは、事実上極めて困難である。また、各層の半導体チップ103の間に無理に配線106を引き回そうとすると、各チップ搭載基板102上の配線パターン中に、図7中二点鎖線で囲って示す部分Lのように配線106同士の間隔が疎になる箇所と、図7中破線で囲って示す部分Hのように配線106同士の間隔が密になる箇所とが混在するようになる。このような配線状態（配線パターン）は、前記配線ルールに抵触する

6

おそれがある。

【0008】したがって、複合型の積層型モジュール101において、配線ルールに抵触することなく各層間に配線106を引き回そうとすると、チップ搭載基板102の外形サイズを大きくして、前記各ビア端子105の配置間隔を広げなければならない。すると、本来コンパクト化されるべき積層型モジュール101全体のパッケージングの外形サイズが大きくなるという不都合が生じる。

【0009】よって、本発明の目的は、搭載される半導体チップの種類に拘らず、パッケージングの外形サイズをコンパクト化できる半導体装置を提供することにある。

【0010】

【課題を解決するための手段】前記課題を解決するために、本発明に係る半導体装置は、複数個の端子を有する半導体チップと、この半導体チップが少なくとも1個ずつ搭載されるとともに、搭載された前記半導体チップの各端子に電氣的に接続される中継端子が、前記半導体チップが搭載される部分をその外側から近接して囲むように複数個設けられており、かつ、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板と、を具備し、前記複数枚のチップ搭載基板のうちの少なくとも1枚のチップ搭載基板について、このチップ搭載基板に搭載される前記半導体チップは、その中心部を、前記各中継端子の全体の配置の中心部から偏心されて前記チップ搭載基板に搭載されることを特徴とするものである。

【0011】この半導体装置においては、複数個の端子を有する半導体チップが少なくとも1個ずつ搭載される複数枚のチップ搭載基板が、厚さ方向に沿って2層以上に積層されるとともに、それら複数枚のチップ搭載基板のうちの少なくとも1枚のチップ搭載基板について、このチップ搭載基板に搭載される半導体チップは、その中心部を、各中継端子の全体の配置の中心部から偏心されてチップ搭載基板に搭載される。これにより、チップ搭載基板の外形を大きくしたり、あるいは配線ルール（設計ルール）に抵触したりすることなく、半導体装置の内部における配線の引き回しの自由度を向上できる。

【0012】また、前記課題を解決するために、本発明に係る半導体装置は、複数個の端子を有する半導体チップと、この半導体チップが少なくとも1個ずつ搭載されるとともに、搭載された前記半導体チップの各端子に電氣的に接続される中継端子が、前記半導体チップが搭載される部分をその外側から近接して囲むように複数個設けられており、かつ、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板と、を具備し、前記複数枚のチップ搭載基板のうち、少なくとも所定の2層に配置されているチップ搭載基板について、これら各チップ搭載基板に搭載される前記半導体チップは、その中心部を、互いに偏心されて前記各チップ搭載基板に搭載され

7

ることを特徴とするものである。

【0013】この半導体装置においては、複数個の端子を有する半導体チップが少なくとも1個ずつ搭載される複数枚のチップ搭載基板が、厚さ方向に沿って2層以上に積層されるとともに、それら複数枚のチップ搭載基板のうち、少なくとも所定の2層に配置されているチップ搭載基板について、これら各チップ搭載基板に搭載される半導体チップは、その中心部を、互いに偏心されてチップ搭載基板に搭載される。これにより、チップ搭載基板の外形を大きくしたり、あるいは配線ルール（設計ルール）に抵触したりすることなく、半導体装置の内部における配線の引き回しの自由度を向上できる。

【0014】また、本発明に係る半導体装置を実施するにあたり、その構成の一部を、以下に述べるような設定としても構わない。

【0015】前記複数枚のチップ搭載基板のうちの少なくとも所定の2層に配置されている前記搭載基板は、それぞれの前記各中継端子の全体の配置の中心部が互いに略一致している。

【0016】前記複数枚のチップ搭載基板に設けられている前記各中継端子は、それら全体の配置の中心部が、各チップ搭載基板の中心部に略一致するように設けられている。

【0017】前記複数枚のチップ搭載基板のうちの少なくとも1枚のチップ搭載基板について、その中心部を前記各中継端子の全体の配置の中心部から偏心されて前記チップ搭載基板に搭載された前記半導体チップは、その側縁部を、この半導体チップが搭載されている前記チップ搭載基板に設けられている前記各中継端子の全体の配置のうち、前記半導体チップの前記側縁部と対向する配列に対して、互いに平行な状態から所定の角度回転されて前記チップ搭載基板に搭載される。

【0018】本発明に係る半導体装置を実施するにあたり、その構成の一部を、以上述べたような各種設定とすることにより、所望する半導体装置の性能などに合わせて、複数個の半導体チップ全体の組み合わせ、半導体チップの各端子とチップ搭載基板の各中継端子との間の配線、各層の半導体チップ間の配線、半導体チップの周辺の構造などを、より適正な状態に設定できる。これにより、半導体装置をより無駄のない内部構造（内部構成）に設計して製造することができる。

【0019】また、前記課題を解決するために、本発明に係る半導体装置は、複数個の端子を有する半導体チップと、この半導体チップが少なくとも1個ずつ搭載されるとともに、搭載された前記半導体チップの各端子に電氣的に接続される中継端子が、前記半導体チップが搭載される部分をその外側から近接して囲むように複数個設けられており、かつ、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板と、を具備し、前記複数枚のチップ搭載基板のうちの少なくとも1枚のチップ搭

8

載基板について、このチップ搭載基板に搭載される前記半導体チップは、その側縁部を、前記各中継端子の全体の配置のうち、この半導体チップの前記側縁部と対向する配列に対して、互いに平行な状態から所定の角度回転されて前記チップ搭載基板に搭載されることを特徴とするものである。

【0020】この半導体装置においては、複数個の端子を有する半導体チップが少なくとも1個ずつ搭載される複数枚のチップ搭載基板が、厚さ方向に沿って2層以上に積層されるとともに、それら複数枚のチップ搭載基板のうちの少なくとも1枚のチップ搭載基板について、このチップ搭載基板に搭載される半導体チップは、その側縁部を、各中継端子の全体の配置のうち、この半導体チップの側縁部と対向する配列に対して、互いに平行な状態から所定の角度回転されてチップ搭載基板に搭載される。これにより、チップ搭載基板の外形を大きくしたり、あるいは配線ルール（設計ルール）に抵触したりすることなく、半導体装置の内部における配線の引き回しの自由度を向上できる。

【0021】また、前記課題を解決するために、本発明に係る半導体装置は、複数個の端子を有する半導体チップと、この半導体チップが少なくとも1個ずつ搭載されるとともに、搭載された前記半導体チップの各端子に電氣的に接続される中継端子が、前記半導体チップが搭載される部分をその外側から近接して囲むように複数個設けられており、かつ、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板と、を具備し、前記複数枚のチップ搭載基板のうち、少なくとも所定の2層に配置されているチップ搭載基板について、これら各チップ搭載基板に搭載される前記半導体チップは、その側縁部を、互いに平行な状態から所定の角度回転されて前記各チップ搭載基板に搭載されることを特徴とするものである。

【0022】この半導体装置においては、複数個の端子を有する半導体チップが少なくとも1個ずつ搭載される複数枚のチップ搭載基板が、厚さ方向に沿って2層以上に積層されるとともに、それら複数枚のチップ搭載基板のうち、少なくとも所定の2層に配置されているチップ搭載基板について、このチップ搭載基板に搭載される半導体チップは、その側縁部を、互いに平行な状態から所定の角度回転されてチップ搭載基板に搭載される。これにより、チップ搭載基板の外形を大きくしたり、あるいは配線ルール（設計ルール）に抵触したりすることなく、半導体装置の内部における配線の引き回しの自由度を向上できる。

【0023】また、本発明に係る半導体装置を実施するにあたり、その構成の一部を、以下に述べるような設定としても構わない。

【0024】前記複数枚のチップ搭載基板のうちの少なくとも所定の2層に配置されている前記チップ搭載基板

は、それぞれの前記各中継端子の全体の配置について対応する配列が互いに平行な状態にある。

【0025】前記複数枚のチップ搭載基板に設けられている前記各中継端子は、それら全体の配置の中心部が、各チップ搭載基板の中心部に略一致するように設けられている。

【0026】前記複数枚のチップ搭載基板に搭載された半導体チップのうち、少なくとも、その中心部を前記各中継端子の全体の配置の中心部から偏心されて前記チップ搭載基板に搭載されている半導体チップは、その周囲に、所定の材料から形成されているパッケージング部材が、その半導体チップが配置されている層内で、その半導体チップに対して互いに対称となるように、少なくとも一対設けられる。

【0027】前記複数枚のチップ搭載基板に搭載された半導体チップのうち、少なくとも、その側縁部を、前記各中継端子の全体の配置のうち、前記半導体チップの前記側縁部と対向する配列に対して、互いに平行な状態から所定の角度回転されて前記チップ搭載基板に搭載されている半導体チップは、その周囲に、所定の材料から形成されているパッケージング部材が、その半導体チップが配置されている層内で、その半導体チップに対して互いに対称となるように、少なくとも一対設けられる。

【0028】本発明に係る半導体装置を実施するにあたり、その構成の一部を、以上述べたような各種設定とすることにより、所望する半導体装置の性能などに合わせて、複数個の半導体チップ全体の組み合わせ、半導体チップの各端子とチップ搭載基板の各中継端子との間の配線、各層の半導体チップ間の配線、半導体チップの周辺の構造などを、より適正な状態に設定できる。これにより、半導体装置をより無駄のない内部構造（内部構成）に設計して製造することができる。

【0029】また、前記課題を解決するために、本発明に係る半導体装置は、半導体チップと、この半導体チップが少なくとも1個ずつ搭載されるとともに、厚さ方向に沿って1層ないし3層に積層される1枚ないし複数枚のチップ搭載基板と、各層の前記チップ搭載基板に搭載される前記半導体チップのうち、少なくとも1層のチップ搭載基板に搭載されている半導体チップの周囲に、所定の材料から形成されるとともに、その半導体チップが配置されている層内で、その半導体チップに対して互いに対称となるように設けられる少なくとも一対のパッケージング部材と、を具備することを特徴とするものである。

【0030】この半導体装置においては、厚さ方向に沿って1層ないし3層に積層される1枚ないし複数枚のチップ搭載基板に少なくとも1個ずつ搭載される各半導体チップのうち、少なくとも1層のチップ搭載基板に搭載されている半導体チップの周囲に、所定の材料から形成されるとともに、その半導体チップが配置されている層

内で、その半導体チップに対して互いに対称となるように、少なくとも一対のパッケージング部材が設けられる。これにより、半導体装置を、積層数が3層以下である薄肉の積層型の半導体装置として設計および製造した場合においても、半導体装置の内部に特別な補強構造や補強部品を設けたり、あるいは各チップ搭載基板を厚肉に成形したりすることなく、各チップ搭載基板などの各層ごとにおける反りや歪みなどにによる変形、ひいては半導体装置全体の変形を抑制できる。

【0031】また、そのような反りや歪みによる変形が発生した場合においても、それらの変形は、各層ごとに、各半導体チップを変形の対称中心として発生する。これにより、そのような変形による応力は、半導体装置内部において特定の箇所に集中することなく、例えば各層の各半導体チップごとに、個別かつ均等に作用するようにまんべんなく分散される。

【0032】また、本発明に係る半導体装置を実施するにあたり、その構成の一部を、以下に述べるような設定としても構わない。

【0033】前記パッケージング部材は、その対が互いに同じ種類の材料によって形成されている。

【0034】前記パッケージング部材は、各対ごとに、それぞれ異なる種類の材料によって形成された複数対を有する。

【0035】前記パッケージング部材は、前記半導体チップに対して互いに対称となるように、それぞれ異なる位置に複数対設けられるとともに、これら複数対の前記パッケージング部材のうち、所定の前記パッケージング部材の対同士が互いに同じ種類の材料によって形成されている。

【0036】前記パッケージング部材は、有機材料から形成されている。

【0037】本発明に係る半導体装置を実施するにあたり、その構成の一部を、以上述べたような各種設定とすることにより、所望する半導体装置の積層数や厚さ、あるいは搭載する半導体チップの個数や搭載位置などに合わせて、各チップ搭載基板、ひいては半導体装置全体の変形を抑制できるパッケージング部材を、より適正な状態に設定できる。これにより、半導体装置をより無駄のない内部構造（内部構成）に設計して製造することができる。

【0038】また、前記課題を解決するために、本発明に係る半導体装置は、半導体チップと、この半導体チップが少なくとも1個ずつ搭載されるとともに、厚さ方向に沿って1層ないし複数層に積層される1枚ないし複数枚のチップ搭載基板と、各層の前記チップ搭載基板に搭載される前記半導体チップのうち、少なくとも1層のチップ搭載基板に搭載されている半導体チップの周囲に、所定の材料から形成されるとともに、その半導体チップが配置されている層内でその半導体チップに対して互い

11

に対称となるように設けられる少なくとも四対のパッケージング部材と、を具備することを特徴とするものである。

【0039】この半導体装置においては、厚さ方向に沿って1層ないし複数層に積層される1枚ないし複数枚のチップ搭載基板に少なくとも1個ずつ搭載される各半導体チップのうち、少なくとも1層のチップ搭載基板に搭載されている半導体チップの周囲に、所定の材料から形成されるとともに、その半導体チップが配置されている層内で、その半導体チップに対して互いに対称となるように、少なくとも一対のパッケージング部材が設けられる。これにより、半導体装置を、積層数が1層ないし複数層である所定の積層数を有している積層型の半導体装置として設計および製造した場合においても、半導体装置の内部に特別な補強構造や補強部品を設けたり、あるいは各チップ搭載基板を厚肉に成形したりすることなく、各チップ搭載基板などの各層ごとにおける反りや歪みになどによる変形、ひいては半導体装置全体の変形を抑制できる。

【0040】また、そのような反りや歪みによる変形が発生した場合においても、それらの変形は、各層ごとに、各半導体チップを変形の対称中心として発生する。これにより、そのような変形による応力は、半導体装置内部において特定の箇所集中することなく、例えば各層の各半導体チップごとに、個別かつ均等に作用するようにまんべんなく分散される。

【0041】また、本発明に係る半導体装置を実施するにあたり、その構成の一部を、以下に述べるような設定としても構わない。

【0042】前記パッケージング部材は、その対が互いに同じ種類の材料によって形成されている。

【0043】前記パッケージング部材は、各対ごとに、それぞれ異なる種類の材料によって形成された複数対を有する。

【0044】前記パッケージング部材は、有機材料から形成されている。

【0045】本発明に係る半導体装置を実施するにあたり、その構成の一部を、以上述べたような各種設定とすることにより、所望する半導体装置の積層数や厚さ、あるいは搭載する半導体チップの個数や搭載位置などに合わせて、各チップ搭載基板、ひいては半導体装置全体の変形を抑制できるパッケージング部材を、より適正な状態に設定できる。これにより、半導体装置をより無駄のない内部構造（内部構成）に設計して製造することができる。

【0046】

【発明の実施の形態】（第1の実施の形態）以下、本発明の第1の実施の形態に係る半導体装置を、図1および図2に基づいて説明する。

【0047】この第1実施形態の半導体装置1は、複数

12

個の端子4を有する半導体チップ3と、この半導体チップ3が少なくとも1個ずつ搭載されるとともに、搭載された半導体チップ3の各端子に電気的に接続される中継端子5が、半導体チップ3が搭載される部分をその外側から近接して囲むように複数個設けられており、かつ、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板2と、を具備し、各チップ搭載基板2のうちの少なくとも1枚のチップ搭載基板2について、このチップ搭載基板2に搭載される半導体チップ3は、その中心部Cを、各中継端子5の全体の配置の中心部Yから偏心されてチップ搭載基板2に搭載されることを前提とするものである。

【0048】また、本実施形態の半導体装置1においては、次に述べる特徴を備えるものとする。

【0049】複数枚のチップ搭載基板2のうち、少なくとも所定の2層に配置されているチップ搭載基板2について、これら各チップ搭載基板2に搭載される半導体チップ3は、その中心部Cを、互いに偏心されて各チップ搭載基板2に搭載される。

【0050】各チップ搭載基板2に設けられている各中継端子5は、それら全体の配置の中心部Yが、各チップ搭載基板2の中心部Xに略一致するように設けられている。

【0051】以上述べた前提および特徴を備えた半導体装置1が具備するとともに、本発明の要旨に係る半導体チップ3とチップ搭載基板2との詳細な関係を説明するのに先立って、それらを複数組み合わせで構成された半導体装置1としてのマルチ・チップ・パッケージ（マルチ・チップ・モジュール、マルチ・ブロック・モジュール）1の全体の構造について、図2を参照しつつ、その概略を簡潔に説明する。

【0052】本実施形態のマルチ・チップ・パッケージ1は、図2に示すように、半導体チップ3およびチップ搭載基板2が、それらの厚さ方向に沿って2層以上の複数層に積層されて設けられている。本実施形態においては、3枚のチップ搭載基板2のそれぞれに半導体チップ3が1個ずつ搭載（実装）されて、厚さ方向に沿って3層に積層されている。各半導体チップ3は、例えばフリップ・チップ法などによって、積層方向に沿った同一の向きから各チップ搭載基板2の一端面側に搭載されている。

【0053】具体的に説明すると、各チップ搭載基板2は、それらの一端面としての、後述する配線6やパッド19などが設けられている第1主面2aが図2においてそれぞれ下向きとなる姿勢で配置されて積層されている。各半導体チップ3は、それらの一端面としての、複数個の端子4（図2において図示せず。）が設けられているデバイス面3aが各チップ搭載基板2の第1主面2aと対向する姿勢で各チップ搭載基板2に搭載されている。この際、各半導体チップ3は、それらが有している



13

各端子 4 が各チップ搭載基板 2 のパッド 19 に電氣的に接続された状態で各チップ搭載基板 2 に搭載される。

【0054】各チップ搭載基板 2 には、図 2 に示すように、それらに搭載されている各半導体チップ 3 の各端子 4 に、パッド 19 および配線 4 を介して電氣的に接続される中継端子 5 がそれぞれ複数個ずつ設けられている。これら各中継端子 5 は、各半導体チップ 3 の各端子 4 と、後述するボール・レイヤー基板 12 に設けられている外部端子 15 とを、後述する中間基板 7 に設けられている層間接続端子 8 などとともに、積層方向に沿った所定の通電経路で電氣的に接続するように設けられている。

【0055】具体的には、図 2 に示すように、各中継端子 5 は、各チップ搭載基板 2 をそれらの厚さ方向に沿って貫通して、いわゆるビア端子（ビア・プラグ）として形成されているものと、各チップ搭載基板 2 の第 1 主面 2a 上に単にビアランドとして形成されているものとの 2 種類がある。各中継端子 5 は、設計段階において予め設定されている前記通電経路を電氣的に接続するように、それぞれ前記 2 種類のいずれか一方の形状に形成されている。

【0056】3 枚の各チップ搭載基板 2 の第 1 主面 2a 側には、図 2 に示すように、同じく 3 枚の中間基板 7 がそれらと交互に 1 枚ずつ配置されて設けられている。このように、本実施形態のマルチ・チップ・パッケージ 1 は、半導体チップ 3 が 1 個ずつ搭載された 3 枚のチップ搭載基板 2 と、同じく 3 枚の中間基板 7 とが交互に 1 枚ずつ配置されて 3 層の積層構造を形成している。各中間基板（プリプレグ）7 は、例えばガラスクロスに樹脂を含浸させたガラスエポキシ基板などから構成され、一種の絶縁基板として形成されている。また、これら各中間基板 7 の、各チップ搭載基板 2 に搭載された各半導体チップ 3 と対向する位置には、前記積層状態において、各中間基板 7 と各半導体チップ 3 とが互いに干渉し合うのを回避するための空穴、いわゆるチップ・キャビティ 9 が形成されている。それとともに、各中間基板 7 は、それらの厚さが、各チップ搭載基板 2 に搭載された各半導体チップ 3 が、前記積層状態において、中間基板 7 を挟んで隣接するチップ搭載基板 2 に接触したりしない大きさに形成されている。

【0057】各中間基板 7 には、それらを厚さ方向に沿って貫通して、層間接続端子 8 が、複数個形成されている。これら各層間接続端子 8 は、前記中継端子 5 のうちの一部と同様に、いわゆるビア端子（ビア・プラグ）として形成されている。また、これら各層間接続端子 8 は、各チップ搭載基板 2 に設けられている各中継端子 5 に電氣的に接続されて前記通電経路を形成するように、前記積層方向に沿って、一直線上に並ぶような所定の位置に複数個形成されている。本実施形態の各中間基板 7 においては、層間接続端子 8 は、前記通電経路を形

14

成に寄与する箇所のみ、各中間基板 7 をそれらの厚さ方向に沿って貫通して設けられており、前記通電経路の形成に不必要な箇所には設けられていないものとする。さらに、各中間基板 7 には、各層間接続端子 8 とともに前記通電経路を形成する中間配線 18 が、所定の位置に形成されている。

【0058】本実施形態のマルチ・チップ・パッケージ 1 には、図 2 に示すように、その積層方向の一方の側である上側（表面側）に、表面基板 10 が 1 枚設けられている。この表面基板 10 は、図 2 に示すように、絶縁材料によって 3 層構造に形成されており、マルチ・チップ・パッケージ 1 の短絡などを防止している。それとともに、この表面基板 10 は、マルチ・チップ・パッケージ 1 の内部構造、特に 3 個の半導体チップ 3 を、外部から与えられる衝撃から保護する役割を兼ねている。

【0059】また、本実施形態のマルチ・チップ・パッケージ 1 には、図 2 に示すように、その積層方向の他方の側である下側（裏面側）に、電源グランド基板 11 およびボール・レイヤー基板 12 がそれぞれ 1 枚ずつ設けられている。

【0060】電源グランド基板 11 には、前述した各チップ搭載基板 2 に設けられている配線 6、および各中間基板 7 に設けられている中間配線 18 よりも表面積が極めて広く形成されている複数本の電源グランド用配線 13 が、それぞれ所定の配線パターン形成されている。各電源グランド用配線 13 は、配線 6 および中間配線 18 よりも表面積が極めて広く形成されていることにより、マルチ・チップ・パッケージ 1 の内部に生じる電氣的ノイズを効果的に抑制または除去できる。また、電源グランド基板 11 には、図 2 に示すように、それらを厚さ方向に貫通して、前記通電経路の一部を構成する電源グランド基板ビア端子 14 が複数個設けられている。各電源グランド基板ビア端子 14 は、前述した各中継端子 5 および各層間接続端子 8 とともに、前記積層方向に沿って一直線上に並ぶような所定の位置に形成されている。

【0061】ボール・レイヤー基板 12 には、図 2 に示すように、各半導体チップ 3 の各端子 4 を、所定の通電経路で外部端子 15 に電氣的に接続する複数本の外部端子接続用配線 17 が、それぞれ所定の配線パターンで形成されている。各外部端子接続用配線 17 は、ボール・レイヤー基板 12 の裏面側に複数個（図 2 においては 1 個のみ図示する。）設けられている外部端子（パンプ）15 に電氣的に接続されている。また、ボール・レイヤー基板 12 には、図 2 に示すように、それらを厚さ方向に貫通して、前記通電経路の一部を構成する外部端子接続用ビア端子 16 が複数個設けられている。これら各外部端子接続用ビア端子 16 は、それぞれ所定の配線状態で外部端子接続用配線 17 に電氣的に接続されている。また、これら各外部端子接続用ビア端子 16 は、

15

各半導体チップ3の各端子4と、各外部端子接続用配線17とを電氣的に接続するように、前述した各中継端子5、各層間接続端子8、および各電源グランド基板ビア端子14とともに、前記積層方向に沿って一直線上に並ぶような所定の位置に形成されている。これにより、各半導体チップ3の各端子4は、マルチ・チップ・パッケージ1の内部において所定の配線状態に設定されて、各外部端子15に電氣的に接続される。

【0062】次に、本実施形態のマルチ・チップ・パッケージ1が具備している3枚のチップ搭載基板2への3個の半導体チップ3の搭載について、図1および図2を参照しつつ説明する。

【0063】本実施形態のマルチ・チップ・パッケージ1においては、これが具備している3個の半導体チップ3は全て同じ種類のものでも、あるいはそれぞれ異なった種類のものでも構わない。例えば、各半導体チップ3として、MPU、オーディオ用DSP、および各種デバイス制御用LSIを組み合わせ構成しても構わない。また、以下に述べる各半導体チップ3の各チップ搭載基板2への搭載の説明においては、3組の各半導体チップ3と各チップ搭載基板2との組み合わせのうちの1つを、図1を用いつつ説明し、この説明をもって3組全ての組み合わせを代表させるものとする。

【0064】このマルチ・チップ・パッケージ1においては、各半導体チップ3は、図1に示すように、3枚のチップ搭載基板2のそれぞれの中心部X付近に搭載されるとともに、各中継端子5は、各チップ搭載基板2の中心部Xを、その外側から囲むように配置されている。また、このマルチ・チップ・パッケージ1においては、各中継端子5は、それら全体の配置の中心部Yが、各チップ搭載基板2の中心部Xに略一致するように設けられている。それとともに、各中継端子5は、略四角枠形状に並べられて配置されている。さらに、このマルチ・チップ・パッケージ1においては、3枚のチップ搭載基板2のそれぞれの中心部Xが、マルチ・チップ・パッケージ1全体の中心部Zに略一致するように設けられている。

【0065】なお、各中継端子5は、略正形状を有するチップ搭載部分のすべての外周に沿って設けられる必要はない。例えば、略正形状のチップ搭載部分の対向する二辺に沿った外周縁部にのみ配列されても構わない。

【0066】以上説明したように、本実施形態のマルチ・チップ・パッケージ1においては、図1において互いに直交する2本の二点鎖線の交点で示すように、3枚のチップ搭載基板2のそれぞれの中心部X、中継端子5全体の配置の中心部Y、およびマルチ・チップ・パッケージ1全体の中心部Zが、それらの平面視においてすべて略一致するように構成されている。なお、それら各中心部X、Y、Zの位置は、それぞれの外形などに基づいて、それぞれ所定の計算方法によって予め決定される。

16

【0067】各半導体チップ3は、図1において互いに直交する2本の破線の交点で示すそれぞれの中心部Cが、各中継端子5の全体の配置の中心部Yから所定の向きに偏心されて（ずらされて）、各チップ搭載基板2に搭載される。すなわち、各半導体チップ3は、それぞれの中心部Cが、各中継端子5の全体の配置の中心部Yから所定の向きに所定の距離、平行移動により偏心されて、各チップ搭載基板2に搭載される。この際、前述した各中心部X、Y、Zの位置関係から、各半導体チップ3のそれぞれの中心部Cは、各チップ搭載基板2のそれぞれの中心部X、およびマルチ・チップ・パッケージ1全体の中心部Zからも偏心されている設定となる。なお、各半導体チップ3のそれぞれの中心部Cも、前記各中心部X、Y、Zの位置決定の場合と同様に、各半導体チップ3のそれぞれの外形などに基づいて、所定の計算方法によって予め決定される。

【0068】以下、各半導体チップ3の各チップ搭載基板2への搭載位置などについて、具体的に説明する。

【0069】まず、本実施形態の搭載方法によって各半導体チップ3を各チップ搭載基板2へ搭載するのに先立って、それら各半導体チップ3と同種の各半導体チップ103を、図7に示すように、前述した従来技術によって各チップ搭載基板102に搭載したものを参考とする。従来技術によれば、各チップ搭載基板102上の配線パターン中に、図7中二点鎖線で囲って示す部分Lのように配線106同士の間隔が疎になる箇所と、図7中破線で囲って示す部分Hのように配線106同士の間隔が密になる箇所とが混在している。このような配線状態（配線パターン）は、設計ルール（配線ルール）に抵触するおそれがある。これを回避するために、本実施形態の各半導体チップ3の各チップ搭載基板2への搭載方法においては、各半導体チップ3の各チップ搭載基板2への搭載位置を、前述した配線パターンが疎になっている箇所L側に向けて所定の距離偏心させる。

【0070】本実施形態のマルチ・チップ・パッケージ1においては、図1に示すように、半導体チップ3は、その中心部Cが、チップ搭載基板2の中心部X、中継端子5全体の配置の中心部Y、およびマルチ・チップ・パッケージ1全体の中心部Zから、図1中左方向に平行移動により所定の距離A偏心されて、チップ搭載基板2に搭載されている。すなわち、このマルチ・チップ・パッケージ1においては、半導体チップ3は、その中心部Cが、チップ搭載基板2の中心部X、中継端子5全体の配置の中心部Y、およびマルチ・チップ・パッケージ1全体の中心部Zから、所定の位置および向きにオフセットされた状態でチップ搭載基板2に搭載されている。以下の説明において、前述した本実施形態のような半導体チップ3のチップ搭載基板2への搭載状態を、単にオフセット状態と称することとする。

【0071】各半導体チップ3の偏心（ずれ、平行移

17

動)の距離Aは、設計ルールに抵触しない範囲内において所定の値に設定して構わない。特に、本実施形態のマルチ・チップ・パッケージ1においては、各半導体チップ3の各チップ搭載基板2への搭載位置(偏心の距離A)は、例えば各層の各半導体チップ3ごとにそれぞれ異なった位置に設定して構わない。

【0072】例えば、マルチ・チップ・パッケージ1の断面図である図2において、破線で示されているように、各半導体チップ3の中心は、図2中一点鎖線で示されている各チップ搭載基板2の中心部、中継端子5全体10の配置の中心部、およびマルチ・チップ・パッケージ1全体の中心部から、それぞれ個別に所定の距離偏心された位置において、各チップ搭載基板2に搭載されても構わない。各半導体チップ3は、マルチ・チップ・パッケージ1の内部の各種配線の引き回しの自由度を向上できるとともに、パッケージ1全体の外形サイズをコンパクト化できるように、それぞれ各層ごとに予め決められたオフセット状態で各チップ搭載基板2に搭載される。すなわち、各半導体チップ3の各チップ搭載基板2への搭載位置は、マルチ・チップ・パッケージ1全体の配線状態およびサイズを予め鑑みた上で、それらの積層数に応じて、各層ごとにそれぞれ最適な位置に決定される。

【0073】ただし、配線ルールに抵触するおそれの小さい所定の層に搭載されている半導体チップ3については、その中心部Cを、チップ搭載基板2の中心部X、およびマルチ・チップ・パッケージ1全体の中心部Zと略一致させ、半導体チップ3をオフセットすることなく、チップ搭載基板2上に搭載しても構わない。

【0074】また、各半導体チップ3の偏心の向きも、設計ルールに抵触しない範囲内において所定の向きに設定して構わない。マルチ・チップ・パッケージ1の内部の各種配線の引き回しの自由度を向上できる向きであれば、必ずしも前述したように、配線パターンが疎になっている側のみに向けて半導体チップ3を偏心させる必要はない。

【0075】各チップ搭載基板2の第1主面2a側には、図1に示すように、各半導体チップ3が前記オフセット状態で搭載される位置に、各半導体チップ3のデバイス面側3aに設けられている複数個の端子4がそれぞれ直接電氣的に接続されるパッド19が、予め各端子440と同数個形成されている。これら各パッド19は、搭載される半導体チップ3の大きさや形状、あるいは各端子4の個数および配置位置などに合わせて形成されている。すなわち、各パッド19は、前記平行移動による各半導体チップ3の偏心の距離Aに合わせた位置および形状となるように形成されている。

【0076】また、これら各パッド19は、配線としての複数本のチップ接続配線6を介して、各中継端子5に1対1で電氣的に接続されている。また、各中継端子5は、各パッド19の個数、すなわち各端子4の個数より50

18

も多めに設けられている。各端子4および各パッド19とチップ接続配線6を介して電氣的に接続されていない中継端子5は、3個の半導体チップ3の層間の電氣的な接続を行う際の、図示しない層間配線の引き回し用などに用いられる。

【0077】なお、チップ搭載基板2をその第1主面2a側から臨んで示した平面図である図1において、各端子4および各パッド19と各中継端子5との各チップ接続配線6を介した電氣的な接続状態を分かり易くするために、本来半導体チップ3に隠れて見えない各端子4および各パッド19を取って実線で図示している。

【0078】以上説明した本実施形態の半導体チップ3のチップ搭載基板2への搭載方法によれば、図1に示すように、チップ搭載基板2に形成されているチップ接続配線6の配線パターン中に、その配線密度が極端に疎になったり、あるいは極端に密になったりしている箇所を低減させることができる。これにより、チップ搭載基板2の外形を大きくしたり、あるいは配線ルールに抵触したりすることなく、マルチ・チップ・パッケージ1の内部における、チップ接続配線6をはじめとする各種配線の引き回しの自由度を向上できる。

【0079】図7に示すように、予め最小寸法を狙って全ての半導体チップ3をパッケージ101の中央部分Zに搭載した従来技術のマルチ・チップ・パッケージ101においては、前述したように、各層ごとの内部配線106の引き回しだけで他の配線スペースが殆どなくなる。このため、新たに層間配線などを引き回そうとすると、結果的に、例えば複数枚のチップ搭載基板102のうちの一枚のチップ搭載基板102の寸法を大きくする必要が生じていた。

【0080】これに対して、本実施形態のマルチ・チップ・パッケージ1においては、各半導体チップ3が、従来技術において配線密度が疎であった側に、設計ルールに抵触しない範囲内でオフセットされて各チップ搭載基板2に搭載されている。また、この際、各半導体チップ3のオフセット量は、層間配線を引き回すのに伴う従来技術におけるマルチ・チップ・パッケージ101のパッケージサイズの変更量、すなわち大型化が必要最小限となるように設定されている。このように、このマルチ・チップ・パッケージ1によれば、特殊な配線プロセスを用いたりすることなく、かつ、配線層を新たに設けたり、あるいは基板数を増やしたりすることなく、複数層に積層された各半導体チップ3を各層間において電氣的に接続する層間配線の引き回しの自由度を高めることが可能になった。すなわち、このマルチ・チップ・パッケージ1によれば、複数個の半導体チップ3を複数層に積層して一体化する上で、構造的な要請からその大きさが制約されるパッケージ1の内部に、特殊なプロセスを取ることなく、積層した各半導体チップ3の間を配線できる。

19

【0081】したがって、本実施形態のマルチ・チップ・パッケージ1によれば、各チップ搭載基板2に搭載される半導体チップ3の種類に拘らず、パッケージングの外形サイズをコンパクト化できる。また、マルチ・チップ・パッケージ1の内部における、各種配線の引き回しの自由度を向上できるので、例えば等長配線にも対応可能である。

【0082】なお、図1および図2において、例えばパッド19の位置および大きさが異なっているが、これは各図が示す本実施形態の特徴をより理解し易くするために意図的に異なる形状に描いたためであって、本発明の要旨に何ら不都合な影響を及ぼすものではない。また、本発明を実施するに際し、半導体チップ3としては様々な種類、形状、および構造のものを使用することができる。同様に、本実施形態の内容を説明する際に用いた図1および図2において、各チップ搭載基板2に搭載する各半導体チップ3の向きや姿勢、ならびにこれら各チップ搭載基板2および各半導体チップ3に対する各中間基板7の向きや姿勢なども、前記両図に示されている通りの状態には限られない。本発明の要旨に不都合な影響を及ぼすものでない限り、本発明を実施するに際し、様々な向きや姿勢を取り得ることができる。

【0083】次に、本実施形態のマルチ・チップ・パッケージ1の製造工程の一例の概略を具体的かつ簡潔に説明する。

【0084】まず、図1および図2に示すように、3枚のチップ搭載基板2の第1主面2a側の所定の位置に、3個の半導体チップ3をそれぞれ1個ずつ、それらのデバイス面3aを対向させた姿勢でフリップ・チップ法などを用いて搭載する。各半導体チップ3は、前述したように、マルチ・チップ・パッケージ1の内部の各種配線の引き回しの自由度を向上できるとともに、パッケージ1全体の外形サイズをコンパクト化できるように、それぞれ各層ごとに予め決められたオフセット状態で各チップ搭載基板2に搭載される。この際、各半導体チップ3のデバイス面3a側に設けられている各端子4と、各チップ搭載基板2の第1主面2a側のチップ搭載位置に設けられている各パッド19とが、1対1で電氣的に接続されるように、各半導体チップ3を各チップ搭載基板2に搭載する。次に、チップ搭載済みの各チップ搭載基板2と、それらに対応する各中間基板7とを、それらの厚さ方向に沿って交互に3層に積層する。この際、各チップ搭載基板2に搭載された各半導体チップ3が、各中間基板7に設けられている各チップ・キャビティ9内に納まるように、各中間基板7を各チップ搭載基板2に対して交互に配置する。また、この際、各チップ搭載基板2と各中間基板7との間、あるいは一対のチップ搭載基板2および中間基板7からなる各層間に、適直接着剤（接着樹脂）などを設けても構わない。

【0085】続けて、それら積層済みの各チップ搭載基

20

板2および各中間基板7を、それらの積層方向両側から、表面基板10と、電源グランド基板11およびボール・レイヤー基板12とを用いて挟み込む。この際、積層済みの各チップ搭載基板2および各中間基板7、表面基板10、ならびに電源グランド基板11およびボール・レイヤー基板12のそれぞれの中心部が、図1および図2に示すように、マルチ・チップ・パッケージ1全体の中心部Zに略一致するように、それらの位置を合わせる。また、この際、前述した各チップ搭載基板2と各中間基板7との積層作業の場合と同様に、表面基板10、積層済みの各チップ搭載基板2および各中間基板7、電源グランド基板11、およびボール・レイヤー基板12の間（各層間）に、適直接着剤などを設けても構わない。

【0086】以上説明したチップ搭載作業および積層作業が終了した後、それら重ね合わせ済みの表面基板10、各チップ搭載基板2および各中間基板7、電源グランド基板11、およびボール・レイヤー基板12を、それらの積層方向に沿って圧着することにより、マルチ・チップ・パッケージ1は製造される。

【0087】（第2の実施の形態）次に、本発明の第2の実施の形態に係る半導体装置を、図3に基づいて説明する。

【0088】この第2実施形態の半導体装置21は、図3に示すように、各半導体チップ3の各チップ搭載基板2への搭載状態が、前述した第1実施形態の各半導体チップ3の各チップ搭載基板2への搭載状態と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第1実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0089】本実施形態の半導体装置としてのマルチ・チップ・パッケージ21は、複数個の端子4を有する半導体チップ3と、この半導体チップ3が少なくとも1個ずつ搭載されるとともに、搭載された半導体チップ3の各端子4に電氣的に接続される中継端子5が、半導体チップ3が搭載される部分をその外側から近接して囲むように複数個設けられており、かつ、厚さ方向に沿って2層以上に積層される複数枚のチップ搭載基板2と、を具備し、各チップ搭載基板2のうちの少なくとも1枚のチップ搭載基板2について、このチップ搭載基板2に搭載される半導体チップ3は、その側縁部を、各中継端子5の全体の配置のうち、この半導体チップ3の側縁部と対向する配列に対して、互いに平行な状態から所定の角度 $\theta$ 回転されてチップ搭載基板2に搭載されることを前提とするものである。

【0090】また、本実施形態のマルチ・チップ・パッケージ21においては、次に述べる特徴を備えるものとする。

【0091】各チップ搭載基板2に設けられている各中

21

継端子 5 は、それら全体の配置の中心部 Y が、各チップ搭載基板 2 の中心部 X に略一致するように設けられている。

【0092】以下、1 組の半導体チップ 3 とチップ搭載基板 2 との組み合わせについて具体的に説明するとともに、この説明をもって、本実施形態のマルチ・チップ・パッケージ 21 が具備している各半導体チップ 3 と各チップ搭載基板 2 との全ての組み合わせを代表させるものとする。

【0093】半導体チップ 3 は、図 3 に示すように、その中心部 C がチップ搭載基板 2 の中心部 X、中継端子 5 全体の配置の中心部 Y、およびマルチ・チップ・パッケージ 1 全体の中心部 Z から、図 3 中左方向に平行移動により所定の距離 B 偏心されて（ずらされて）、チップ搭載基板 2 に搭載されている。それとともに、半導体チップ 3 は、その一側縁部を、各中継端子 5 の全体の配置のうち、この半導体チップ 3 の一側縁部と対向する配列に対して、互いに平行な状態から所定の角度  $\theta$  傾いた状態となるように回転されて、チップ搭載基板 2 に搭載されている。

【0094】本実施形態においては、図 3 に示すように、半導体チップ 3 は、その平面視が略正方形に形成されている。それとともに、各中継端子 5 は、平面視が略正方形に形成されている半導体チップ 3 を、その外側からまんべんなく囲むように、その全体の配置が、平面視において略四角枠形状に並べられて配置されている。したがって、半導体チップ 3 は、その 4 つの側縁部のそれぞれが、これらに対向する位置に設けられている各中継端子 5 の全体の配置の各側縁部に対応する 4 つの配列のそれぞれに対して、互いに平行となる状態からそれぞれ所定の角度  $\theta$  回転された状態でチップ搭載基板 2 に搭載されている。

【0095】なお、各中継端子 5 は、略正方形を有するチップ搭載部分のすべての外周に沿って設けられる必要はない。例えば、略正方形のチップ搭載部分の対向する二辺に沿った外周縁部のみ配列されても構わない。

【0096】このように、このマルチ・チップ・パッケージ 1 においては、半導体チップ 3 は、その中心部 C が、チップ搭載基板 2 の中心部 X、中継端子 5 全体の配置の中心部 Y、およびマルチ・チップ・パッケージ 1 全体の中心部 Z から、図 3 中左方向に向けて平行移動によって所定の距離 B 偏心されるとともに、その各側縁部が、各中継端子 5 の全体の配置の各側縁部に対応する 4 つの配列のそれぞれに対して、互いに平行となる状態からそれぞれ所定の角度  $\theta$  回転されることにより、所定の位置および向きにオフセットされた状態でチップ搭載基板 2 に搭載されている。

【0097】本実施形態のマルチ・チップ・パッケージ 1 においては、各半導体チップ 3 の偏心（ずれ、平行移

22

動）の距離 B および回転の角度  $\theta$  は、設計ルールに抵触しない範囲内において、例えば各層の各半導体チップ 3 ごとに互いに独立に、それぞれ所定の値に設定して構わない。すなわち、複数枚のチップ搭載基板 2 のうち、少なくとも所定の 2 層に配置されているチップ搭載基板 2 において、これら各チップ搭載基板 2 に搭載される半導体チップ 3 は、それぞれの側縁部を、これら各半導体チップ 3 が搭載されている各チップ搭載基板 2 のそれぞれに設けられている各中継端子 5 の全体の配置のうち、各半導体チップ 3 の一側縁部のそれぞれと対向する配列に対して、各層ごとにそれぞれ互いに平行な状態から互いに異なる所定の角度  $\theta$  回転されて各チップ搭載基板 2 に搭載される設定としても構わない。

【0098】このように、各半導体チップ 3 は、マルチ・チップ・パッケージ 1 の内部の各種配線の引き回しの自由度の向上、およびパッケージ 1 全体の外形サイズのコンパクト化を図ることができるように、それぞれ各層ごとに平行移動および回転されて、予め決められたオフセット状態で各チップ搭載基板 2 に搭載される。すなわち、各半導体チップ 3 の偏心の距離 B および回転の角度  $\theta$ 、つまり各半導体チップ 3 の各チップ搭載基板 2 への搭載位置は、マルチ・チップ・パッケージ 21 全体の配線状態およびサイズを予め鑑みた上で、それらの積層数に応じて、各層ごとにそれぞれ最適な位置に決定される。

【0099】したがって、配線の引き回しの自由度に特に支障が生じないようであれば、各層の半導体チップ 3 は、偏心されることなく、回転のみされて各チップ搭載基板 2 に搭載されても構わない。また、所定の層の半導体チップ 3 については、平行移動および回転ともにされることなく、チップ搭載基板 2 に搭載されても構わない。

【0100】各チップ搭載基板 2 の第 1 主面 2 a 側には、図 2 に示すように、各半導体チップ 3 がオフセット状態で搭載される位置に、各半導体チップ 3 のデバイス面側 3 a に設けられている複数個の端子 4 がそれぞれ直接電氣的に接続されるパッド 19 が、予め各端子 4 と同数個形成されている。これら各パッド 19 は、搭載される半導体チップ 3 の大きさや形状、あるいは各端子 4 の個数および配置位置などに合わせて形成されている。すなわち、各パッド 19 は、前記平行移動および回転による各半導体チップ 3 の偏心の距離 B および回転の角度  $\theta$  に合わせた位置および形状となるように形成されている。

【0101】なお、チップ搭載基板 2 をその第 1 主面 2 a 側から臨んで示した平面図である図 3 において、各端子 4 および各パッド 19 と各中継端子 5 との各チップ接続配線 6 を介した電氣的な接続状態を分かり易くするために、本来半導体チップ 3 に隠れて見えない各端子 4 および各パッド 19 を敢えて実線で図示している。

23

【0102】さらに、チップ搭載基板2をその第1主面2a側から臨んで示した平面図である図3において、各パッド19と各中継端子5とを電気的に接続する複数本のチップ接続配線6は、それらのうちの一部を図示するにとどめ、それらすべての図示は省略する。また、本発明を実施するに際し、本実施形態の内容を説明する際に用いた図3において、各チップ搭載基板2に搭載する各半導体チップ3の向きや姿勢などは、図3に示されている通りの状態には限られない。本発明の要旨に不都合な影響を及ぼすものでない限り、本発明を実施するに際し、様々な向きや姿勢を取り得ることができる。

【0103】この第2実施形態のマルチ・チップ・パッケージ21は、以上説明した点以外は、第1実施形態のマルチ・チップ・パッケージ1と同じであり、本発明の課題を解決できるのはもちろんである。その上で、前述したように、各チップ搭載基板2の中心部Xに対して各半導体チップ3が平行移動により所定の距離B偏心されるとともに、各中継端子5の配列に対して回転により所定の角度 $\theta$ 回転されたオフセット状態で搭載される本実施形態のマルチ・チップ・パッケージ21は、以下の点で優れている。

【0104】本実施形態のマルチ・チップ・パッケージ21においては、各半導体チップ3は、前述した第1実施形態のマルチ・チップ・パッケージ1と同様に、各チップ搭載基板2の中心部Xから所定の向きに、平行移動によって所定の距離B偏心させられる。それとともに、このマルチ・チップ・パッケージ21においては、各半導体チップ3は、各チップ搭載基板2の中心部Xから所定の向きに所定の距離B偏心された状態において、各中継端子5の配列に対して所定の角度 $\theta$ 傾いた状態となるように、回転させられる。各半導体チップ3は、このような平行移動および回転によるオフセット状態で、各チップ搭載基板2に搭載される。

【0105】このような本実施形態の半導体チップ3のチップ搭載基板2への搭載方法によれば、図3に示すように、チップ搭載基板2に形成されているチップ接続配線6の配線パターン中に、その配線密度が極端に疎になったり、あるいは極端に密になったりしている箇所を殆どなくすることができる。これにより、チップ搭載基板2の外形を大きくしたり、あるいは配線ルールに抵触したりすることなく、マルチ・チップ・パッケージ1の内部における、チップ接続配線6をはじめとする各種配線の引き回しの自由度を極めて向上できる。したがって、本実施形態のマルチ・チップ・パッケージ21によれば、各チップ搭載基板2に搭載される半導体チップ3の種類に拘らず、パッケージングの外形サイズをよりコンパクト化できる。

【0106】また、本実施形態の半導体チップ3のチップ搭載基板2への搭載方法によれば、等長配線のみならず、図3に示すように、各端子4に電気的に接続される

24

各パッド19と各中継端子5とを、チップ接続配線6を用いて各層ごとに、それらの間の配線距離が短くなるような配線状態で電気的に接続できる。ひいては、このマルチ・チップ・パッケージ21全体における配線距離を短くできる。したがって、このマルチ・チップ・パッケージ21の低コスト化を図ることができる。

【0107】（第3の実施の形態）次に、本発明の第3の実施の形態に係る半導体装置を、図4に基づいて説明する。

【0108】この第3実施形態の半導体装置31は、図4に示すように、半導体チップ3の積層数および半導体チップ3の周辺の構造が、前述した第1実施形態の各半導体チップ3の積層数および半導体チップ3の周辺の構造と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第1実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0109】まず、本実施形態の半導体装置31について説明するのに先立って、図8～図10を参照しつつ、従来の技術に係る半導体装置において、これが具備する半導体チップ103の周辺の構造的な問題について説明する。

【0110】従来の技術に係る半導体装置において、半導体チップを封止したパッケージ構造においては、例えばリードフレームを配線基材として使用したものや、あるいは樹脂基板上に銅(Cu)製の配線を施したものを配線基材として使用したものが一般的である。

【0111】そのような半導体装置のうちの一つの例として、例えば図8に示すように、リードフレーム113を配線基材として用いた、いわゆる樹脂モールド・パッケージ111がある。この樹脂モールド・パッケージ111においては、半導体チップ103は、マウント材と称される接着部材114を介してチップ搭載用リードフレーム112に固定(マウント)される。また、チップ搭載用リードフレーム112に固定された半導体チップ103は、例えば金(Au)製のボンディング・ワイヤ115によって外部接続用リードフレーム113に電気的に接続される。半導体チップ103は、チップ搭載用リードフレーム112などとともに、これらを外側から囲むようにモールド樹脂116によって覆われて封止される。この際、接着部材114には導電性ペーストが用いられるのが一般的で、これは、樹脂の中に銀のフィラー粒子が分散されているものである。

【0112】また、前記半導体装置のうちの他の例として、例えば図9に示すように、ポリイミド製や、あるいはガラスエポキシ製の基板等の樹脂基板122を用いた、いわゆるオーバー・モールド・タイプのパッケージ121がある。このオーバー・モールド・タイプのパッケージ121においては、半導体チップ103は、マウ

25

ント材114により樹脂基板122の一端面側に固定される。半導体チップ103は、ボンディング・ワイヤ115によって外部接続用樹脂基板122の他端面側に設けられている複数個の外部接続端子(パンプ)123に電気的に接続される。また、このオーバー・モールド・タイプのパッケージ121においては、樹脂基板122の半導体チップ103側が固定された側のみがモールド樹脂116によって覆われて封止される。

【0113】さらに、前記半導体装置のうちの他の例として、例えば図10に示すように、中央部にチップ搭載用のデバイスホールが形成された、いわゆるEnhanced BGAタイプのパッケージ131がある。このEnhanced BGAタイプのパッケージ131においては、ガラスエポキシ基板等の樹脂基板134の一端面側の中央部に銅(Cu)などによって形成されている金属製のチップ搭載用フレーム132が接着されて設けられている。また、このチップ搭載用フレーム132の両側部には、同じく金属製の外部端子接続用フレーム133が1つずつ接着されて設けられている。これら両外部端子接続用フレーム133の樹脂基板134側とは反対側の端面には、外部接続用樹脂基板122がそれぞれ1個ずつ接着されて設けられている。また、これら両外部接続用樹脂基板122の外部端子接続用フレーム133側とは反対側の端面には、外部接続端子123がそれぞれ複数個ずつ設けられている。

【0114】半導体チップ103は、デバイスホール内において、図示しないマウント剤を介して、チップ搭載用フレーム132の樹脂基板134側とは反対側の端面に固定される。半導体チップ103は、ボンディング・ワイヤ115によって外部接続用樹脂基板122に設けられている外部接続端子123に電気的に接続される。このEnhanced BGAタイプのパッケージ131においては、樹脂基板134の半導体チップ103側が固定された側の、半導体チップ103付近のみがモールド樹脂116によって覆われて封止される。

【0115】以上、3つの例を挙げて説明したような構造からなる各半導体装置のパッケージ111、121、131においては、図8～図10の各図中において、各半導体チップ103の上下に配置される部材の種類が異なっている。これにより、主に各部材の熱膨張係数が異なることが原因となって、パッケージ全体に反りが発生する。すなわち、各半導体装置のパッケージ111、121、131において、半導体チップ103をパッケージ構造体の中心として捉えた場合、半導体チップ103に対して非対称な変形が生じる。

【0116】以下、そのような変形が生じる理由を具体的に簡潔に説明する。

【0117】例えば、前述した3つの例のどのパッケージ構造においても共通であるチップ固定するためのマウント剤114は、硬化させるために高温状態で放置され

26

る。このマウント剤114を硬化させる際の温度は、おおよそ120℃～180℃が一般的である。また、一般的には、このような高温の硬化温度がマウント剤114にとっての無応力状態の温度と設定される。マウント剤114が、高温の硬化温度から常温に冷却されると、例えば図8に示す樹脂モールド・パッケージ111においては、半導体チップ103およびチップ搭載用リードフレーム112のそれぞれの熱膨張係数の差が原因となって、半導体チップ103とチップ搭載用リードフレーム112との接合部分に非対称な反りが生じる。このような現象は、図9に示すオーバー・モールド・タイプのパッケージ121や、あるいは図10に示すEnhanced BGAタイプのパッケージ131などにも共通するものである。

【0118】以上説明したように、半導体チップ103自体の熱膨張係数と、半導体チップ103が搭載された部材の熱膨張係数との差によって、チップ搭載部分およびその周辺に非対称な反りが発生する。より詳しく述べると、マウント剤114自体の熱膨張係数や、熱硬化収縮率も関与してくるため、複雑な反りが発生する。また、前述した3つパッケージ構造からなる各半導体装置のパッケージ111、121、131において、各半導体チップ103を覆うようにモールド樹脂116が配置され、おおよそ120℃～180℃の所定の温度にて硬化されると、モールド樹脂116自体の熱膨張係数や、熱硬化収縮率も関与してくる。このため、さらに複雑な応力が発生して、チップ搭載部分およびその周辺に極めて複雑な反りが生じる。

【0119】以上説明したような複雑な応力が発生すると、各半導体装置のパッケージ111、121、131内において、各部材同士の界面の特定の場所に応力が集中し易い。すると、この応力が集中した点を起点として、部材同士がはがれたり、あるいは半導体チップ103に過度な負荷が掛かったりするという問題が生じ易い。また、パッケージ自体の反りが大きくなるため、実質的に使用に耐えないという問題が生じるおそれもある。

【0120】本実施形態の発明は、以上説明したような課題に鑑みてなされた、半導体装置のパッケージ構造に関わるものであり、半導体チップに対して非対称な反りが生じ難く、パッケージ内において局所的な応力集中が生じ難いパッケージ構造の半導体装置を提供するものである。

【0121】以下、図4を参照しつつ、本実施形態の半導体装置31を説明する。

【0122】本実施形態の半導体装置31は、半導体チップ3と、この半導体チップ3が少なくとも1個ずつ搭載されるとともに、厚さ方向に沿って1層ないし3層に積層される1枚ないし複数枚のチップ搭載基板、表面基板、およびボール・レイヤー基板などの樹脂基板32

と、各層のチップ搭載基板に搭載される半導体チップ3のうち、少なくとも1層のチップ搭載基板に搭載されている半導体チップ3の周囲に、所定の材料から形成されるとともに、その半導体チップ3が配置されている層内においてその半導体チップ3に対して互に対称となるように設けられる少なくとも一対のパッケージング部材33~34(7)と、を具備することを前提とするものである。

【0123】また、本実施形態の半導体装置31においては、次に述べる特徴を備えるものとする。

【0124】複数枚のチップ搭載基板に搭載された半導体チップ3のうち、少なくとも、その中心部Cを図示しない各中継端子の全体の配置の中心部から偏心されてチップ搭載基板に搭載されている半導体チップ3は、その周囲に、所定の材料から形成されているパッケージング部材33~34(7)が、その半導体チップ3が配置されている層内で、その半導体チップ3に対して互に対称となるように、少なくとも一対設けられる。

【0125】複数枚のチップ搭載基板に搭載された半導体チップ3のうち、少なくとも、その側縁部を、図示しない各中継端子の全体の配置のうち、半導体チップ3の側縁部と対向する配列に対して、互いに平行な状態から所定の角度 $\theta$ 回転されてチップ搭載基板に搭載されている半導体チップ3は、その周囲に、所定の材料から形成されているパッケージング部材33~34(7)が、その半導体チップ3が配置されている層内で、その半導体チップ3に対して互に対称となるように、少なくとも一対設けられる。

【0126】以下、本実施形態の半導体装置としてのマルチ・チップ・パッケージ31の特徴を具体的に説明する。

【0127】本実施形態のマルチ・チップ・パッケージ31は、その断面視が図4に示すようなパッケージ構造となっている。半導体チップ3は、前述した第1実施形態および第2実施形態の半導体装置1、21と同様に、図4中破線で示されているその中心部が、図4中一点鎖線で示されているパッケージ全体の中心部から、平行移動または回転によってオフセットされた状態でマルチ・チップ・パッケージ31に内設されている。また、このマルチ・チップ・パッケージ31は、半導体チップ3および図示しないチップ搭載基板をそれぞれ1つずつ具備しているものとする。

【0128】半導体チップ3の周りには、図4において、半導体チップ3をその積層(上下)方向両外側から挟み込んで包むように、第1パッケージング部材33が設けられている。この第1パッケージング部材33は、上側第1パッケージング部材33aおよび下側第1パッケージング部材33bから構成されている。これら上側第1パッケージング部材33aおよび下側第1パッケージング部材33bは、半導体チップ3に対して、その上

下方向において互に対称となるように配置される。また、これら上側第1パッケージング部材33aおよび下側第1パッケージング部材33bは、ともに同じ物性からなる有機材料によって形成されている。

【0129】また、この第1のパッケージング部材33としての、一対の上側第1パッケージング部材33aおよび下側第1パッケージング部材33bは、これらと半導体チップ3との接着強度、および図示しない外部材と半導体チップ3との熱膨張係数差により生じる応力発生を抑制するために、その弾性率、ガラス転移温度、ポアソン比、熱膨張係数などが所定の値である材料が選定されている。特に、接着強度は重要な項目(パラメータ)である。

【0130】また、半導体チップ3の周りには、図4において、第1パッケージング部材33のさらに積層(上下)方向両外側から半導体チップ3を挟み込むように、例えばガラスクロスに樹脂を含浸させたプリプレグ、いわゆるガラスエポキシ基板などの樹脂基板32が設けられている。この樹脂基板32は、上側樹脂基板32aおよび下側樹脂基板32bから構成されており、マルチ・チップ・パッケージ31のパッケージング部材の一部を構成している。これら上側樹脂基板32aおよび下側樹脂基板32bは、半導体チップ3に対して、その上下方向において互に対称となるように配置される。また、これら上側樹脂基板32aおよび下側樹脂基板32bは、ともに同じ物性からなる有機材料によって形成されている。

【0131】本実施形態のマルチ・チップ・パッケージ31においては、上側樹脂基板32aおよび下側樹脂基板32bは、前述した第1および第2実施形態のマルチ・チップ・パッケージ1、21におけるチップ搭載基板2に相当するものである。すなわち、本実施形態のマルチ・チップ・パッケージ31においては、第1および第2実施形態で説明したチップ搭載基板2が、パッケージング部材の一部を構成している。

【0132】また、本実施形態のマルチ・チップ・パッケージ31においては、図面を見易くするために、前述した表面基板、およびボール・レイヤー基板などの樹脂基板の図4における図示、およびその説明を省略する。

【0133】半導体チップ3の周りには、図4において、半導体チップ3の横(前後左右)方向外側に対称的に位置するように、前記樹脂基板32と同様に有機材料からなる前述した中間基板7が設けられている。ここで、半導体チップ3の前後方向外側とは、図4において、半導体チップ3を基準にして紙面の手前側を前側、これとは反対に、半導体チップ3を基準にして紙面の奥側を後ろ側、とそれぞれ称するものである。

【0134】半導体チップ3と中間基板7との相対的な位置関係を具体的に説明する。中間基板7に設けられているチップ・キャビティの中央部に半導体チップ3が納

10

20

30

40

50



29

まるように、中間基板7は半導体チップ3の周りに配置される。また、本実施形態においては、この中間基板7は、例えばガラスクロスに樹脂を含浸させたプリプレグ、いわゆるガラスエポキシ基板から形成されている。すなわち、本実施形態の中間基板7は、樹脂基板32と同じ材料によって形成されている。この中間基板7も、本実施形態の半導体装置31においては、そのパッケージング部材の一部を構成している。また、この中間基板7は、半導体チップ3に対して、その前後左右方向において対称となるように配置される。

【0135】以上説明したように、この中間基板7は、パッケージング部材の一部を構成しており、いわば、第3のパッケージング部材として機能している。この第3のパッケージング部材としての中間基板7は、配線が形成され、半導体チップ3に相当する厚さを保証することを目的として、その材料が選定されている。

【0136】また、半導体チップ3の周りには、前述した中間基板7と同様に、図4において、半導体チップ3の横（前後左右）方向外側に対称的に位置するように、有機材料からなる第2パッケージング部材34が設けられて、  
20 具体的に説明すると、半導体チップ3の周りには、図4において、上側第1パッケージング部材33aおよび下側第1パッケージング部材33bのさらに横（前後左右）方向外側から半導体チップ3を挟み込むように、第2パッケージング部材34が設けられている。

【0137】この第2パッケージング部材34は、本実施形態のマルチ・チップ・パッケージ31の断面図である図4においては、左側第2パッケージング部材34aおよび右側第2パッケージング部材34bから構成されているように図示してある。ただし、実際は、前述した  
30 中間基板7と同様に、半導体チップ3ならびに上側第1パッケージング部材33aおよび下側第1パッケージング部材33bを、それらの横（前後左右）方向外側から、それらの周囲に沿って囲むように一体に設けられるものである。すなわち、左側第2パッケージング部材34aおよび右側第2パッケージング部材34bは、実際のマルチ・チップ・パッケージ31においては、一つの材料によって一体に形成されているものである。

【0138】したがって、本実施形態のマルチ・チップ・パッケージ31においては、その特徴である各パッケージング部材33～34（7）の配置状態の説明などを容易にするために、図4において、本来一体である第2パッケージング部材34を、敢えて左側第2パッケージング部材34aおよび右側第2パッケージング部材34bの2つの部材に分割して図示し、説明するものである。図4において、左側第2パッケージング部材34aおよび右側第2パッケージング部材34bから構成されている。これら左側第2パッケージング部材34aおよび右側第2パッケージング部材34bは、図4に示すように、半導体チップ3ならびに上側第1パッケージング  
50

30

部材33aおよび下側第1パッケージング部材33bに対して、その前後左右方向において互いに対称となるように配置される。

【0139】この際、左側第2パッケージング部材34aおよび右側第2パッケージング部材34bは、前述したように半導体チップ3に対して上下方向において対称となるように配置されている上側第1パッケージング部材33aおよび下側第1パッケージング部材33b、上側樹脂基板32aおよび下側樹脂基板32b、ならびに半導体チップ3に対して前後左右方向において対称となるように配置されている中間基板7のそれぞれの間（隙間）を埋めるように充填されて設けられる。これら左側第2パッケージング部材34aおよび右側第2パッケージング部材34bは、ともに同じ物性からなる有機材料によって形成されている。特に、本実施形態においては、左側第2パッケージング部材34aおよび右側第2パッケージング部材34bは、それぞれ上側第1パッケージング部材33aおよび下側第1パッケージング部材33bと同じ有機材料によって形成されている。

【0140】また、この第2のパッケージング部材33としての、左側第2パッケージング部材34aおよび右側第2パッケージング部材34bは、前述した第1のパッケージング部材33としての、一対の上側第1パッケージング部材33aおよび下側第1パッケージング部材33bと、同じく前述した第2のパッケージング部材としての中間基板7との隙間を埋めること、接着強度を確保すること、それら各パッケージング部材の間の熱膨張係数差により生じる応力発生を抑制することを目的として、それらの材料が選定されている。

【0141】以上説明したように、本実施形態のマルチ・チップ・パッケージ31においては、これが具備している半導体チップ3の周りに、これに対して、その上下前後左右の各方向において対称となるように、各パッケージング部材32a、32b、33a、33b、34a、34b、7などが配置されている。すなわち、本実施形態の半導体装置31においては、各パッケージング部材32a、32b、33a、33b、34a、34b、7などが、半導体チップ3に対して互いに3次元的に対称となるように配置されている。

【0142】このような構造からなるマルチ・チップ・パッケージ31の特徴を列挙すると、以下のように述べることができる。

【0143】半導体チップ3は、その周囲に、所定の材料から形成されているパッケージング部材32a、32b、33a、33b、34a、34b、7が、半導体チップ3に対して互いに対称となるように、少なくとも一対設けられる。パッケージング部材32a、32b、33a、33b、34a、34b、7は、その対において互いに同じ種類の材料によって形成されている。パッケージング部材32a、32b、33a、33b、34

31

a, 34b, 7は、各対ごとに、それぞれ異なる種類の材料によって形成可能である。パッケージング部材32a, 32b, 33a, 33b, 34a, 34b, 7は、半導体チップ3に対して互いに対称となるように、それぞれ異なる位置に複数対設けられるとともに、これら複数対のパッケージング部材32a, 32b, 33a, 33b, 34a, 34b, 7のうち、所定のパッケージング部材の対同士が互いに同じ種類の材料によって形成可能である。パッケージング部材32a, 32b, 33a, 33b, 34a, 34b, 7は、有機材料から形成される。

【0144】この第3実施形態の半導体装置31は、以上説明した点以外は、第1実施形態の半導体装置1と同じであり、本発明の課題を解決できるのはもちろんである。その上で、前述したように、各パッケージング部材32a, 32b, 33a, 33b, 34a, 34b, 7および接着樹脂などが、半導体チップ3に対して互いに3次元的に対称となるように配置されている半導体装置31は、以下の点で優れている。

【0145】本実施形態の半導体装置31は、一対の半導体チップ3および図示しないチップ搭載基板からなる1層構造である。すなわち、極めて薄肉の形状に構成されている。それとともに、半導体チップ3は、その中心部が、半導体装置31のパッケージ全体の中心部からオフセットされた状態で半導体装置31に内設されている。すなわち、半導体装置31は、半導体チップ3を中心として捉えた場合、非対称な構造に形成されている。

【0146】その一方で、本実施形態の半導体装置31においては、図4に示すように、半導体チップ3の上下および前後左右の各方向に、半導体チップ3を対称の中心として、これに対して対称となるように、4種類からなる各パッケージング部材32a, 32b, 33a, 33b, 34a, 34b, 7が、それぞれ対をなして設けられている。

【0147】また、各パッケージング部材32a, 32b, 33a, 33b, 34a, 34b, 7においては、上側第1パッケージング部材33aおよび下側第1パッケージング部材33bと、左側第2パッケージング部材34aおよび右側第2パッケージング部材34bとが、それぞれ同じ物性を有している同じ有機材料によって形成されている。同様に、上側樹脂基板32aおよび下側樹脂基板32bと、中間基板7とは、それぞれ同じ物性を有している同じ有機材料として、ガラスクロスに樹脂を含浸させたプリプレグ、いわゆるガラスエポキシ基板によって形成されている。

【0148】このような構成により、本実施形態の半導体装置31は、1層構造からなる極めて薄肉の形状、かつ、非対称な構造であるにも拘らず、反りや歪みなどに よる変形が良好に抑制される。

【0149】また、本発明の発明者らは、半導体装置3

32

1を、その積層数が3層以下である薄肉の積層型の半導体装置として、実際に設計および製造して実験を行った。このような場合においても、半導体装置31の内部に図示しない特別な補強構造や補強部品を設けたり、あるいは各チップ搭載基板を厚肉に成形したりすることなく、各チップ搭載基板などの各層ごとにおける反りや歪みになどによる変形、ひいては半導体装置31全体の変形を抑制できることが分かっている。

【0150】また、そのような反りや歪みによる変形が発生した場合においても、それらの変形は、各層ごとに、各半導体チップ3を変形の対称中心として発生する。これにより、そのような変形による応力は、半導体装置31の内部において特定の箇所に集中することなく、例えば各層の各半導体チップ3ごとに、個別かつ均等に作用するようにまんべんなく分散される。

【0151】したがって、本実施形態の半導体装置31は、搭載される半導体チップ3の種類に拘らず、そのパッケージングの外形サイズがコンパクトである。また、この半導体装置31は、薄肉に形成された場合においても、変形による負荷が内部に搭載されている半導体チップ3などに集中的に掛かり難いので、その動作を安定した状態に保持可能であるとともに、長寿命である。

【0152】なお、本実施形態の半導体装置31においては、これが具備する半導体チップ3が、半導体装置31のパッケージ全体の中心部からオフセットされた状態で半導体装置31に内設されている、非対称な構造として形成されているものとして説明した。半導体装置31は、そのような非対称構造の場合においても、前述したような良好な変形抑制効果を得ることができる。したがって、半導体装置31が具備する半導体チップ3の中心部が、半導体装置31のパッケージ全体の中心部に略一致せられた状態で半導体装置31に内設されている場合、すなわち、半導体装置31が対称な構造として形成されている場合、この半導体装置31が有する変形抑制効果はより大きくなる。

【0153】また、前述した本実施形態の半導体装置31の内部構造の説明では、図4に示すように、半導体チップ3の上下および前後左右の各方向において、半導体チップ3を対称の中心として、これに対して対称となるような構造として説明したが、このような構造に限定されるものではない。例えば、図4において、半導体チップ3の上下方向、左右方向、および前後方向のそれぞれの方向について、物性および構造の両面において半導体チップ3に対して互いに対称となるように、別々のパッケージング部材を設けても構わない。

【0154】（第4の実施の形態）次に、本発明の第4の実施の形態に係る半導体装置を、図5および図6に基づいて説明する。

【0155】この第4実施形態の半導体装置41, 51は、図5および図6に示すように、各半導体チップ3の

33

周辺の構造が、前述した第1実施形態の各半導体チップ3の周辺の構造と異なっているだけで、その他の構成、作用、および効果は同様である。よって、その異なっている部分について説明するとともに、前述した第1実施形態と同一の構成部分については同一符号を付してその説明を省略する。

【0156】本実施形態の半導体装置としてのマルチ・チップ・パッケージ41、51は、実質的に前述した第3実施形態の半導体装置31を複数層、具体的には3層に積層して構成したものである。

【0157】まず、図5に示すマルチ・チップ・パッケージ41について説明する。このマルチ・チップ・パッケージ41は、図5中一点鎖線で示すように、第3実施形態の半導体装置31を、その全体のパッケージングの中心部を積層方向（上下方向）において略一致させられて構成されている。また、3層の各層の半導体チップ3は、それぞれの中心部が互いに偏心された（ずらされた）状態で配置されている。具体的には、図5において最上層に設けられている半導体チップ3は、その中心部が、図5中破線で示すように、このマルチ・チップ・パッケージ41全体のパッケージングの中心部から左側に偏心された状態で配置されている。また、図5において中層に設けられている半導体チップ3は、その中心部が、図5中破線で示すように、このマルチ・チップ・パッケージ41全体のパッケージングの中心部から右側に偏心された状態で配置されている。さらに、図5において最下層に設けられている半導体チップ3は、その中心部が、このマルチ・チップ・パッケージ41全体のパッケージングの中心部に略一致させられた状態で配置されている。

【0158】このように、このマルチ・チップ・パッケージ41においては、3個の半導体チップ3のうち、最上層および中層に設けられている2個の半導体チップ3がオフセット状態で配置されている。

【0159】次に、図6に示すマルチ・チップ・パッケージ51について説明する。このマルチ・チップ・パッケージ51は、前述した3層の積層構造からなるマルチ・チップ・パッケージ41において、各層間に隣接して設けられている上側樹脂基板32aおよび下側樹脂基板32bのうちのいずれか一方を省略して形成したものである。すなわち、このマルチ・チップ・パッケージ51は、その各層間に樹脂基板32が1枚ずつ配置されている。

【0160】また、本実施形態のマルチ・チップ・パッケージ41、51と、前述した第1および第2の実施形態のマルチ・チップ・パッケージ1、21との関係は、図1～図3、図5、および図6に基づいて、以下のよう

に述べるができる。

34

示しない各中継端子の全体の配置の中心部Yから所定の向きに偏心されてチップ搭載基板に搭載されている3個の半導体チップ3は、その周囲に、所定の材料から形成されているパッケージング部材32、33a、33b、34a、34b、7が、その半導体チップ3が配置されている層内において、半導体チップ3に対して互いに対称となるように、少なくとも一対設けられることを特徴とするマルチ・チップ・パッケージ41、51。

【0162】または、3層に積層される図示しない3枚のチップ搭載基板に1個ずつ搭載されるとともに、一側縁部を、図示しない各中継端子の全体の配置のうち、半導体チップ3の一側縁部と対向する配列に対して、互いに平行な状態から所定の角度 $\theta$ 回転されてチップ搭載基板に搭載されている3個の半導体チップ3は、その周囲に、所定の材料から形成されているパッケージング部材32、33a、33b、34a、34b、7が、その半導体チップ3が配置されている層内において、半導体チップ3に対して互いに対称となるように、少なくとも一対設けられることを特徴とするマルチ・チップ・パッケージ41、51。

【0163】これらの第4実施形態のマルチ・チップ・パッケージ41、51は、以上説明した点以外は、第1実施形態のマルチ・チップ・パッケージ1と同じであり、本発明の課題を解決できるのはもちろんである。その上で、前述したように、各パッケージング部材32、32a、32b、33a、33b、34a、34b、7などが、3層の各層ごとに、各半導体チップ3に対して互いに3次元的に対称となるように配置されているマルチ・チップ・パッケージ41、51は、以下の点で優れている。

【0164】本実施形態のマルチ・チップ・パッケージ41、51においては、実質的に前述した第3実施形態の半導体装置31が3層に積層されて構成されている。それとともに、各層の半導体チップ3は、それぞれの中心部が互いに偏心された状態で配置されている。ところが、各層の半導体チップ3の周囲には、図5および図6に示すように、各層ごとに、半導体チップ3の上下および前後左右の各方向に、半導体チップ3を対称の中心として、これに対して対称となるように、各パッケージング部材32、32a、32b、33a、33b、34a、34b、7が、それぞれ対をなして設けられている。

【0165】このような構成により、本実施形態のマルチ・チップ・パッケージ41、51は、3層構造からなる薄肉の形状、かつ、非対称な構造であるにも拘らず、反りや歪みなどにによる変形が良好に抑制される。特に、本実施形態のマルチ・チップ・パッケージ41、51は、前述した第3実施形態の半導体装置31と比較すると、略3倍の厚さを有しているもので、その構造的な強度によっても反りや歪みなどにによる変形が良好に抑制され

る。また、本実施形態のマルチ・チップ・パッケージ41、51は、搭載される半導体チップの種類や搭載状態に拘らず、また、3層構造であるにも拘らずそのパッケージングの外形サイズがコンパクトであるのはもちろんである。

【0166】また、本実施形態のマルチ・チップ・パッケージ41、51の積層数が3層までとなっている理由は、積層数が4層以上になると、パッケージ41、51全体の構造的な強度による変形抑制効果が、各パッケージング部材32、32a、32b、33a、33b、34a、34b、7による変形抑制効果を上回るためである。つまり、積層数を増やせば増やすほど、各層の各半導体チップ3の周りに、前述した配置状態となるように各パッケージング部材32、32a、32b、33a、33b、34a、34b、7を設ける意義は薄れる。

【0167】なお、本発明に係る半導体装置は、前述した第1～第4の実施の形態には制約されない。本発明の主旨を逸脱しない範囲において、本発明に係る半導体装置の構成の一部を、種々様々な状態に組み合わせて設定できる。

【0168】例えば、チップ搭載基板2に搭載される半導体チップ3の性能、種類、機能、形状、および構成、チップ搭載基板2の積層数、チップ搭載基板2に対する半導体チップ3の搭載枚数および搭載状態、チップ搭載基板2の各パッド19と各中継端子5とを電気的に接続する配線6のパターン、各層間を電気的に接続する図示しない層間配線のパターン、ひいては半導体装置1、21、31、41、51のそれぞれの内部全体（回路全体）の図示しない配線パターン、あるいは半導体装置1、21、31、41、51全体の内部構成などは、所望する半導体装置1、21、31、41、51の性能や機能などに応じて、適宜、適正に設計して製造できる。

【0169】また、チップ搭載基板2に搭載される半導体チップ3の個数が複数個である場合、各半導体チップ3ごとに、それらを囲むように複数個の中継端子5を設けても構わない。この場合、例えば、各半導体チップ3の中心部Cが、各半導体チップ3ごとに設けられている複数個の中継端子5の全体の配置の中心部Yからオフセットされた状態となるように、各半導体チップ3をチップ搭載基板2に搭載すればよい。

【0170】あるいは、それらすべての半導体チップ3を囲むように複数個の中継端子5を設けても構わない。この場合、例えば、各半導体チップ3のそれぞれの中心部Cの全体の配置の中心部を、前述した各実施形態の1個の半導体チップ3の中心部Cに相当する部分として設定すればよい。そして、各半導体チップ3のそれぞれの中心部Cの全体の配置の中心部を、複数個の中継端子5の全体の配置の中心部Yからオフセットされた状態となるように、各半導体チップ3をチップ搭載基板2に搭載すればよい。チップ搭載基板2が、同一の層に複数枚並

設されている場合においても同様である。半導体装置全体のパッケージング・サイズができるだけコンパクト化されるように、適宜、適正な状態に設定して構わない。

【0171】

【発明の効果】本発明に係る半導体装置によれば、これが具備している半導体チップおよびチップ搭載基板の積層数に拘らず、また、チップ搭載基板の外形を大きくしたり、あるいは配線ルールに抵触したりすることなく、半導体装置の内部における配線の引き回しの自由度を向上できる。したがって、本発明に係る半導体装置は、搭載される半導体チップの種類に拘らず、そのパッケージングの外形サイズがコンパクトである。

【0172】また、本発明に係る半導体装置によれば、半導体装置を、これが具備している半導体チップの積層数が1層ないしは複数層の積層構造を有している積層型の半導体装置、例えば、3層以下である薄肉の積層型の半導体装置として設計および製造した場合においても、半導体装置の内部に特別な補強構造や補強部品を設けたり、あるいは各チップ搭載基板を厚肉に成形したりすることなく、各層ごとにおける反りや歪みによる変形、ひいては半導体装置全体の変形を抑制できる。また、そのような変形が発生した場合においても、そのような変形による応力は、半導体装置内部において特定の箇所に集中しないように、まんべんなく分散される。したがって、本発明に係る半導体装置は、搭載される半導体チップの種類に拘らず、そのパッケージングの外形サイズがコンパクトである。また、本発明に係る半導体装置は、薄肉に形成された場合においても、変形による負荷が内部に搭載されている半導体チップなどに集中的に掛かり難いので、その動作を安定した状態に保持可能であるとともに、長寿命である。

【0173】さらに、本発明に係る半導体装置を実施するにあたり、半導体装置をより無駄のない内部構造（内部構成）に設計して製造することができる。したがって、本発明に係る半導体装置は、そのパッケージングの外形サイズをよりコンパクト化できる。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る半導体装置が具備する半導体チップの付近を示す平面図。

【図2】図1の半導体装置の積層構造の一部を示す断面図。

【図3】本発明の第2の実施の形態に係る半導体装置が具備する半導体チップの付近を示す平面図。

【図4】本発明の第3の実施の形態に係る半導体装置の積層構造の一部を簡略化して示す断面図。

【図5】本発明の第4の実施の形態に係る半導体装置の積層構造の一部を簡略化して示す断面図。

【図6】本発明の第4の実施の形態に係る他の例の半導体装置の積層構造の一部を簡略化して示す断面図。

【図7】従来の技術に係る半導体装置が具備する半導体

37

チップの付近を示す平面図。

【図 8】従来の技術に係る半導体装置を示す断面図。

【図 9】従来の技術に係る他の例の半導体装置を示す断面図。

【図 10】従来の技術に係るまた他の例の半導体装置を示す断面図。

【符号の説明】

1, 21, 31, 41, 51…マルチ・チップ・パッケージ (半導体装置)

2…チップ搭載基板

3…半導体チップ

4…端子

5…中継端子

6…チップ接続配線 (配線)

7…中間基板 (パッケージング部材)

32…樹脂基板 (チップ搭載基板、パッケージング部材)

38

\* 32a…上側樹脂基板 (チップ搭載基板、パッケージング部材)

32b…下側樹脂基板 (チップ搭載基板、パッケージング部材)

33…第 1 パッケージング部材

33a…上側第 1 パッケージング部材

33b…下側第 1 パッケージング部材

34…第 2 パッケージング部材

34a…左側第 2 パッケージング部材

34b…右側第 2 パッケージング部材

A, B…半導体チップ中心部のチップ搭載基板中心部からの偏心の距離

C…半導体チップの中心部

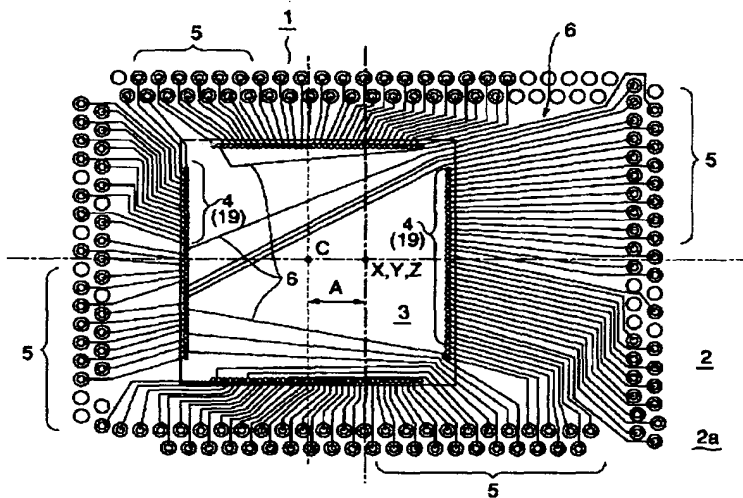
X…チップ搭載基板の中心部

Y…中継端子全体の配置の中心部

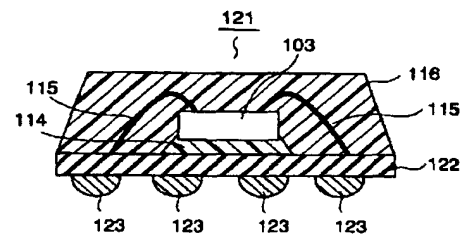
Z…半導体装置全体の中心部

\*  $\theta$ …半導体チップの回転の角度

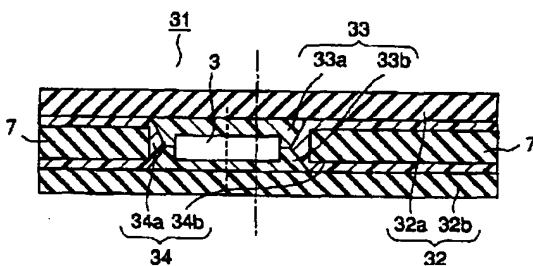
【図 1】



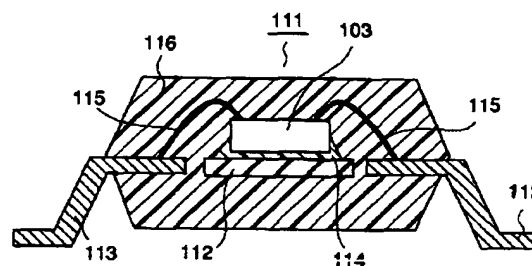
【図 9】



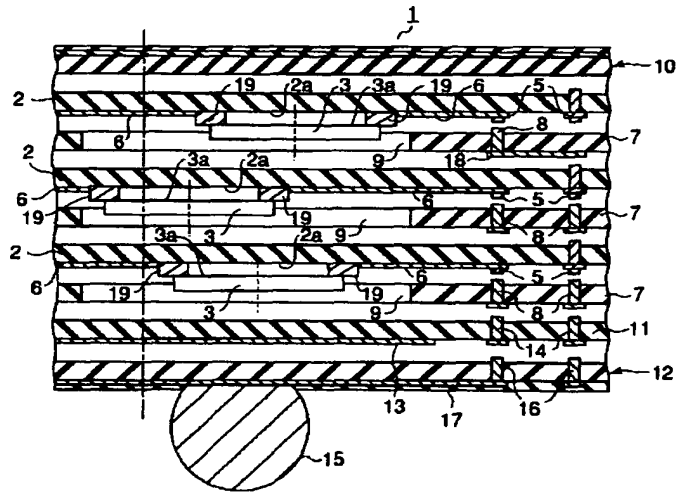
【図 4】



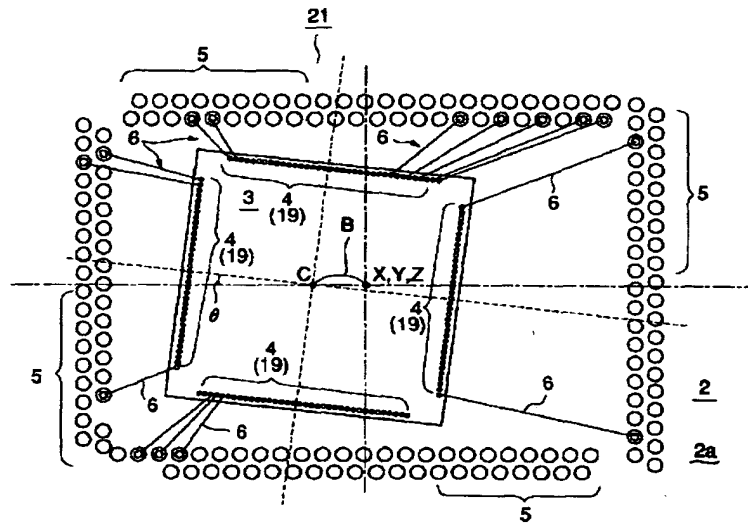
【図 8】



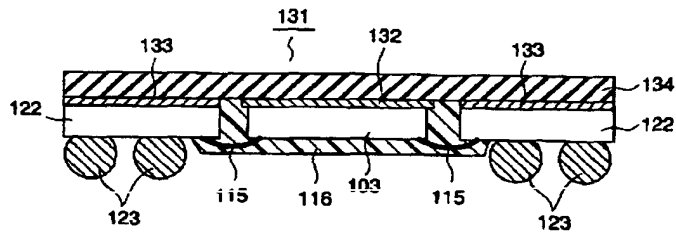
【図2】



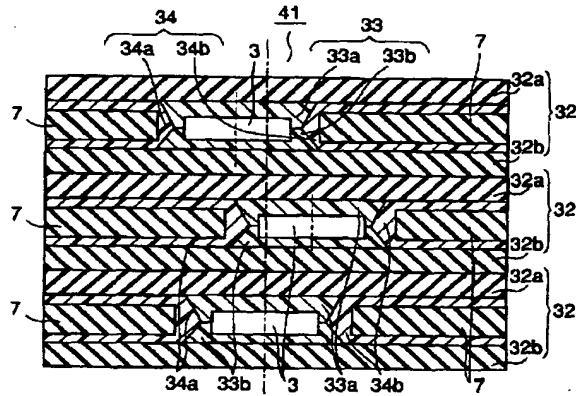
【図3】



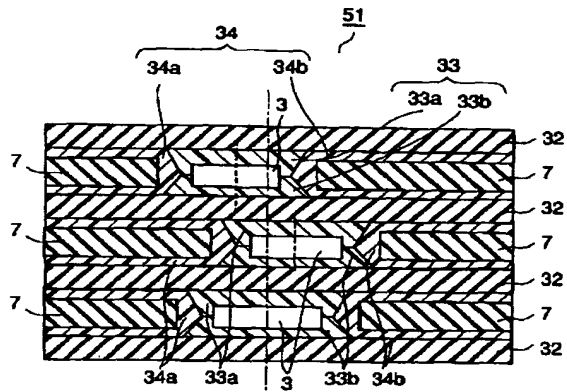
【図10】



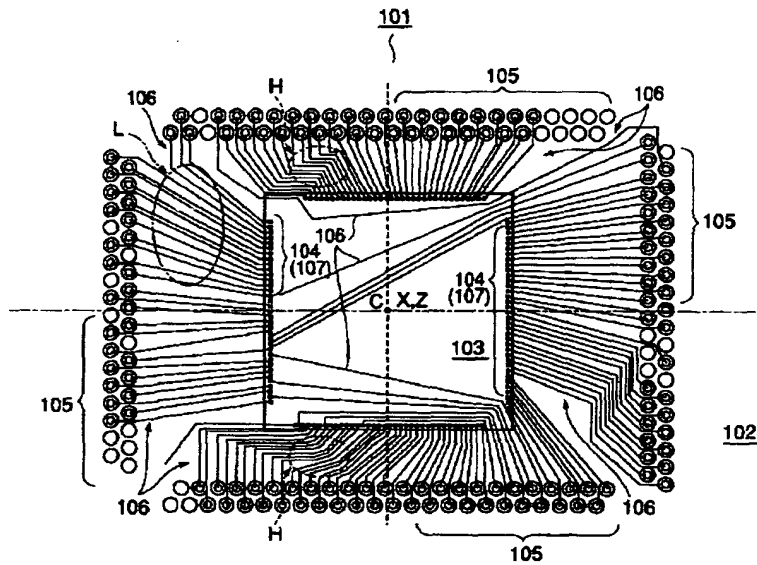
【図5】



【図6】



【図7】



フロントページの続き

(72)発明者 山崎 尚  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 遠藤 光芳  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 尾山 勝彦  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 井本 孝志  
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内

(72)発明者 松井 幹雄

神奈川県川崎市幸区小向東芝町1番地 株  
式会社東芝マイクロエレクトロニクスセン  
ター内